



LPC5410x

32 位 ARM Cortex-M4/M0+ MCU ; 104 kB SRAM ; 512 kB flash ,
3 x I2C, 2 x SPI, 4 x USART, 32 位计数器 / 定时器,
SCTimer/PWM, 12 位 5.0 MSPS ADC

修订版 2.6 — 2016 年 9 月

产品数据手册

1. 简介

LPC5410x 是基于 ARM Cortex-M4 的嵌入式应用微控制器。这些器件包括可选 ARM Cortex-M0+ 协处理器、104 KB 片上 SRAM、高达 512 KB 的片上 flash、五个通用定时器、一个带 PWM 功能的状态可配置定时器 (SCTimer/PWM)、一个 RTC/ 警报定时器、一个 24 位多速率定时器 (MRT)、一个重复中断定时器 (RIT)、一个窗口化看门狗定时器 (WWDT)、四个 USART、两个 SPI、三个带高速从机模式的超快速模式 I²C 总线接口和一个 12 位 5.0 MSPS ADC。

ARM Cortex-M4 是一款 32 位内核，具有低功耗、易调试、支持模块高度集成等多种系统增强优势。ARM Cortex-M4 内核 CPU 采用 3 级流水线和哈佛架构，具有独立的本地指令和数据总线以及用于系统外设的第三总线，同时还包含一个支持不确定分支操作的内部预取单元。ARM Cortex-M4 支持单周期数字信号处理器和 SIMD 指令。内核中集成硬件浮点运算单元。

ARM Cortex-M0+ 协处理器是一款高能效、简单易用的 32 位内核，该产品与 Cortex-M4 内核的代码和工具相互兼容。Cortex-M0+ 协处理器可提供高达 100 MHz 的性能，具有简单指令集和缩减的代码大小。在 LPC5410x 中，Cortex-M0 协处理器硬件乘法是作为 32 周期的迭代乘法器来实现的。

2. 特性和优势

- 双处理器内核: ARM Cortex-M4 和 ARM Cortex-M0+。M0+ 内核的工作频率与 M4 内核相同。两个内核均可达到最高 100 MHz 的运行频率。
- ARM Cortex-M4 内核 (r0p1 版本):
 - ◆ ARM Cortex-M4 处理器，运行频率可高达 100 MHz，使用与 Cortex-M4 相同的时钟。
 - ◆ 浮点运算单元 (FPU) 和存储器保护单元 (MPU)。
 - ◆ ARM Cortex-M4 内置可嵌套中断向量控制器 (NVIC)。
 - ◆ 非屏蔽中断 (NMI) 输入，多种中断源可供选择。
 - ◆ 串行线调试，具有 8 个断点和 4 个观察点。
包含串行线输出，用于增强调试功能。
 - ◆ 系统定时器。
- ARM Cortex-M0+ 内核 (r0p1 版本):



- ◆ ARM Cortex-M0+ 处理器，运行频率可高达 100 MHz。
- ◆ ARM Cortex-M0+ 内置可嵌套中断向量控制器 (NVIC)。
- ◆ 非屏蔽中断 (NMI) 输入，多种中断源可供选择。
- ◆ 串行线调试，具有四个中断点和两个观察点。
- ◆ 系统定时器。
- 片上存储器：
 - ◆ 高达 512 kB 片内 flash 可编程存储器，带 flash 加速器和 256 字节页面擦除和写入功能。
 - ◆ 总共包含 104KB 的 SRAM。
 - ◆ 高达 96 kB 的连续主 SRAM。
 - ◆ 一个额外的 8 kB SRAM。
- ROM API 支持：
 - ◆ Flash 在应用编程 (ISP) 和在系统编程 (IAP)。
 - ◆ 功率控制 API。
- 串行接口：
 - ◆ 四个 USART 接口，支持同步模式和 32 kHz 模式，用于从深度睡眠和掉电模式中唤醒。USART 拥有来自系统 FIFO 的 FIFO 支持，并共享一个小数波特率生成器。
 - ◆ 两个 SPI 接口，每个接口有四个从机选择和灵活的数据配置。SPI 拥有来自系统 FIFO 的 FIFO 支持。从机功能能够从深度睡眠和掉电模式唤醒器件。
 - ◆ 三个 I²C 总线接口，支持快速模式和超快速模式，数据速率高达 1 Mbit/s，采用多地址识别和监控模式。每个 I²C 总线接口还支持高速模式 (3.4 Mb/s) 作为从机模式。从机功能能够从深度睡眠和掉电模式唤醒器件。
- 数字外设：
 - ◆ DMA 控制器，具有 22 个通道和 20 个可编程触发器，能够访问所有存储器和支持 DMA 的外设。
 - ◆ 高达 50 个通用输入/输出 (GPIO) 引脚。大部分 GPIO 具有可配置的上拉/下拉电阻，可编程开漏模式，以及输入逆变器。
 - ◆ GPIO 寄存器位于 AHB 上，以支持快速存取。DMA 支持 GPIO 端口。
 - ◆ 最多可将 8 个 GPIO（引脚中断）选作边缘触发型（上升沿或下降沿，或二者兼有）中断请求或者电平触发型（低电平有效或高电平有效）中断请求。此外，最多可选择 8 个 GPIO 用于一个布尔表达式，并使用模式匹配引擎数据块来生成中断。
 - ◆ 两组 GPIO 中断 (GINT) 支持基于输入状态逻辑 (AND/OR) 组合的中断。
 - ◆ CRC 引擎。
- 定时器：
 - ◆ 5 个 32 位标准通用定时器/计数器，其中 4 个支持多达 4 个采集输入和 4 个比较输出、PWM 模式和外部计数输入。可选择特定的定时器事件，以生成 DMA 请求。第 5 个定时器没有外部引脚连接，可用于内部定时操作。

- ◆ 一个状态可配置定时器/PWM (SCT/PWM)，带8个输入（6个外部输入和2个内部输入）和 8 个输出功能（包括捕获和匹配）。输入和输出可接到或来自于外部引脚，也可接到或来自于内部选定外设。在内部，SCT支持13个采集/匹配，13个事件和13个状态。
- ◆ 32 位实时时钟 (RTC)，以 1 S 分辨率在始终开启的电源域内运行。RTC 中的定时器可用于唤醒所有低功耗模式（包括深度掉电模式），具有 1 ms 分辨率。
- ◆ 多通道多速率 24 位定时器 (MRT)，用于在多达 4 种可编程固定速率下重复生成中断。
- ◆ 窗口化看门狗定时器 (WWDT)。
- ◆ 超低功耗 Micro-tick 定时器，通过看门狗振荡器运行，可用于将器件从低功耗模式中唤醒。
- ◆ 重复中断定时器 (RIT) 用于调试时间戳和通用用途。
- 模拟外设：12 位 12 通道模数转换器 (ADC)，支持 5.0 MSPS。该 ADC 支持两个独立的转换序列。
- 时钟生成：
 - ◆ 12 MHz 内置 RC 振荡器。
 - ◆ 外部时钟输入的时钟频率高达 25 MHz。
 - ◆ 内部低功耗看门狗振荡器 (WDOSC)，标称频率为 500 kHz。
 - ◆ 32 kHz 低功耗 RTC 振荡器。
 - ◆ 系统 PLL 允许 CPU 以最大 CPU 速率运行。可从内部 RC 振荡器、外部时钟输入 CLKIN 或 RTC 振荡器运行。
 - ◆ 用于监控内部时钟的时钟输出功能。
 - ◆ 用于测量片上和片下时钟信号频率的频率测量单元。
- 节能模式和唤醒：
 - ◆ 用于降低功耗的集成 PMU（电源管理单元）。
 - ◆ 降低功耗的模式：睡眠、深度睡眠、掉电和深度掉电。
 - ◆ 通过 USART、SPI 或 I²C 外设上的活动从深度睡眠模式和掉电模式唤醒。
 - ◆ 通过 RTC 报警从睡眠、深度睡眠、掉电和深度掉电模式唤醒。
- 1.62 V 至 3.6 V 单电源。
- 上电复位 (POR)。
- 带独立阈值的掉电检测 (BOD)，用于中断和强制复位。
- 支持 JTAG 边界扫描。
- 可用作芯片识别的唯一序列号（128 位）。
- 工作温度范围为 -40 °C 至 105 °C。
- 采用 3.288 mm x 3.288 mm WLCSP49 封装和 LQFP64 封装。

3. 订购信息

表 1. 订购信息

产品型号	封装		
	名称	说明	版本
LPC54102J512UK49	WLCSP49	晶圆级芯片尺寸封装； 49 (7 x 7) 个凸点； 3.288 x 3.288 x 0.54 mm	-
LPC54102J256UK49	WLCSP49	晶圆级芯片尺寸封装； 49 (7 x 7) 个凸点； 3.288 x 3.288 x 0.54 mm	-
LPC54101J512UK49	WLCSP49	晶圆级芯片尺寸封装； 49 (7 x 7) 个凸点； 3.288 x 3.288 x 0.54 mm	-
LPC54101J256UK49	WLCSP49	晶圆级芯片尺寸封装； 49 (7 x 7) 个凸点； 3.288 x 3.288 x 0.54 mm	-
LPC54102J512BD64	LQFP64	塑封薄型四方扁平封装； 64 引脚； 主体尺寸 10 × 10 × 1.4 mm	SOT314-2
LPC54102J256BD64	LQFP64	塑封薄型四方扁平封装； 64 引脚； 主体尺寸 10 × 10 × 1.4 mm	SOT314-2
LPC54101J512BD64	LQFP64	塑封薄型四方扁平封装； 64 引脚； 主体尺寸 10 × 10 × 1.4 mm	SOT314-2
LPC54101J256BD64	LQFP64	塑封薄型四方扁平封装； 64 引脚； 主体尺寸 10 × 10 × 1.4 mm	SOT314-2

3.1 订购选项

表 2. 订购选项

产品型号	设备订单零件编号	Flash/KB	总 SRAM/kB	内核 M4 w/ FPU	内核 M0+	通用 IO
LPC54102J512UK49	LPC54102J512UK49Z	512	104	1	1	39
LPC54102J256UK49	LPC54102J256UK49Z	256	104	1	1	39
LPC54101J512UK49	LPC54101J512UK49Z	512	104	1	0	39
LPC54101J256UK49	LPC54101J256UK49Z	256	104	1	0	39
LPC54102J512BD64	LPC54102J512BD64QL	512	104	1	1	50
LPC54102J256BD64	LPC54102J256BD64QL	256	104	1	1	50
LPC54101J512BD64	LPC54101J512BD64QL	512	104	1	0	50
LPC54101J256BD64	LPC54101J256BD64QL	256	104	1	0	50

[1] 所有器件包括五个 32 位通用定时器、一个带 PWM 功能的状态可配置定时器 (SCTimer/PWM)、一个 RTC/警报定时器、一个 24 位多速率定时器 (MRT)、一个窗口化看门狗定时器 (WWDT)、四个 USART、两个 SPI、三个带高速从机模式的超快速模式 I2C 总线接口和一个 12 位 5.0 MSPS ADC。

4. 标记

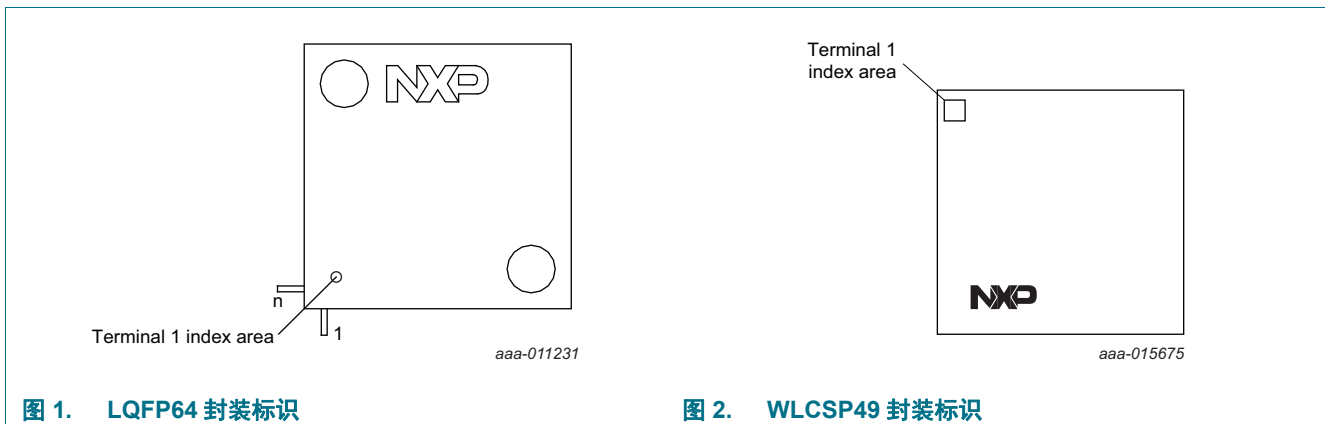


图 1. LQFP64 封装标识

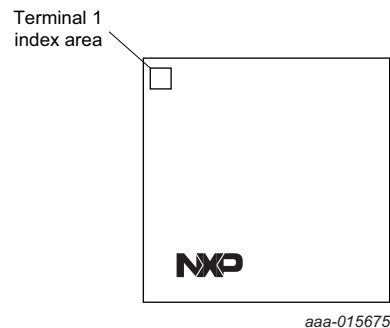


图 2. WLCSP49 封装标识

LPC5410xLQFP64 封装具有下列顶端标记:

- 第一行: LPC5410xJyyy
 - x: 2 = 双核 (M4, M0+), 1 = 单核 (M4)
 - yyy: flash 大小
- 第二行: BD64
- 第三行: xxxxxxxxxxxx
- 第四行: xxxyywwx[R]z
 - yyww: 日期代码, 其中 yy = 年, ww = 周。
 - xR = 启动代码版本和器件修订。

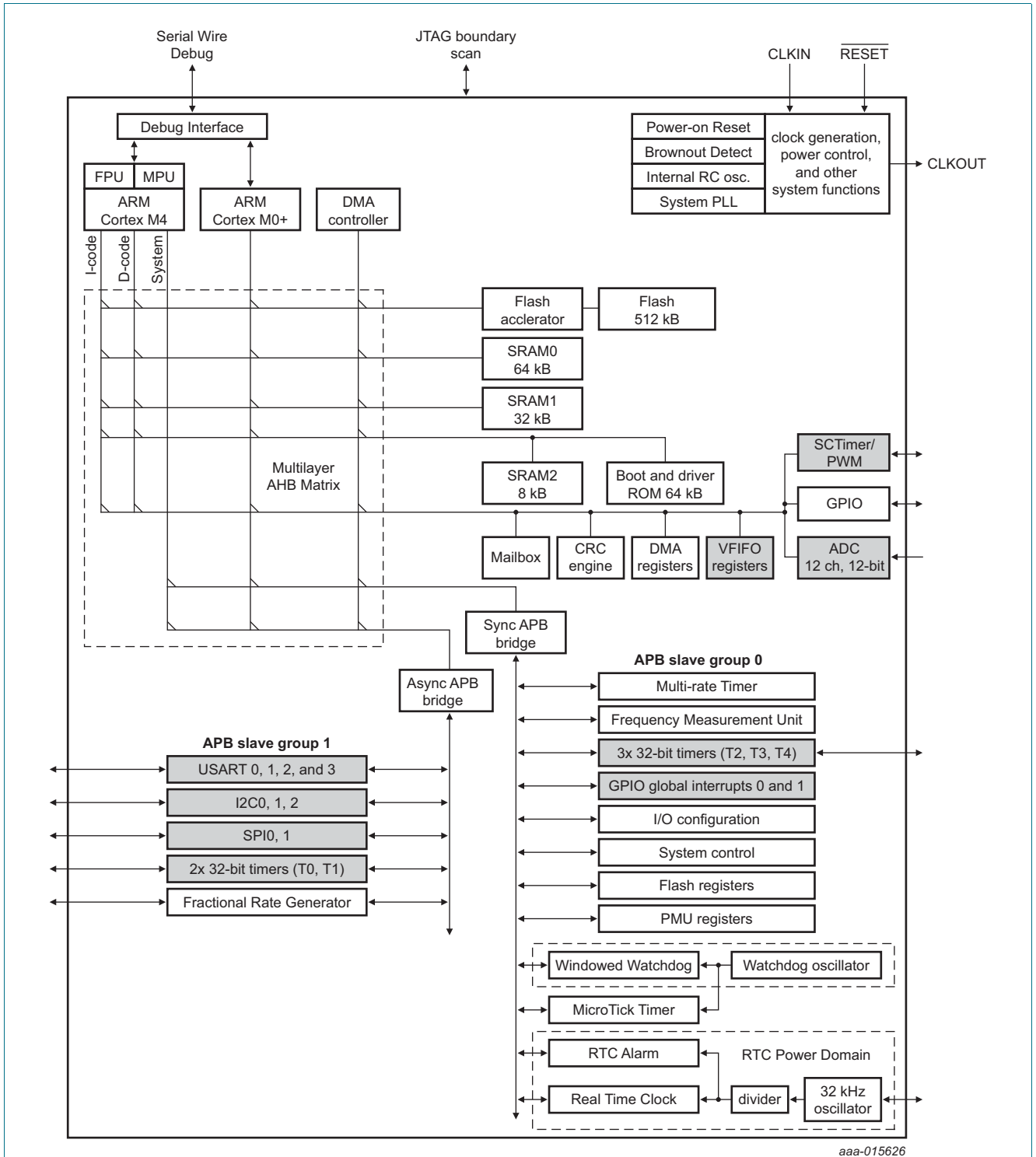
LPC5410xWLCSP49 封装具有下列顶端标记:

- 第一行: LPC5410x
 - x: 2 = 双核 (M4, M0+), 1 = 单核 (M4)
- 第二行: JxxxUK49
 - xxx: flash 大小
- 第三行: xxxxxxxx
- 第四行: xxxyyww
 - yyww: 日期代码, 其中 yy = 年, ww = 周。
- 第五行: xxxxx
- 第六行: NXP x[R]z
 - xR = 启动代码版本和器件修订。

表 3. 器件修订表

修订标识 (R)	修订说明
1B	对启动代码版本 17.1 的初始器件修订。
1C	对启动代码版本 17.1 的第二次器件修订。

5. 功能框图



灰色阴影外设模块可为 DMA 传输提供专用请求线路或触发信号。

图 3. LPC5410x 功能框图

6. 引脚信息

6.1 引脚配置

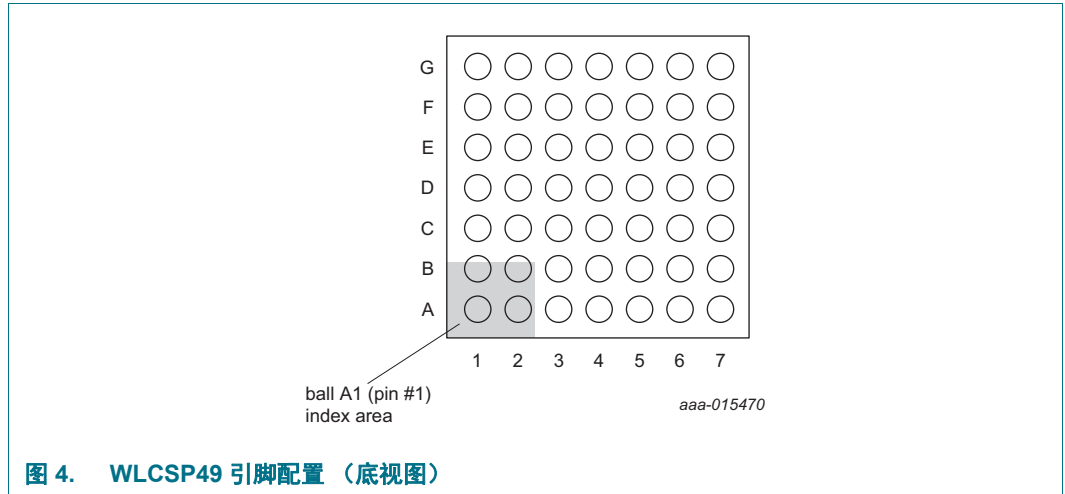


图 4. WLCSP49 引脚配置 (底视图)

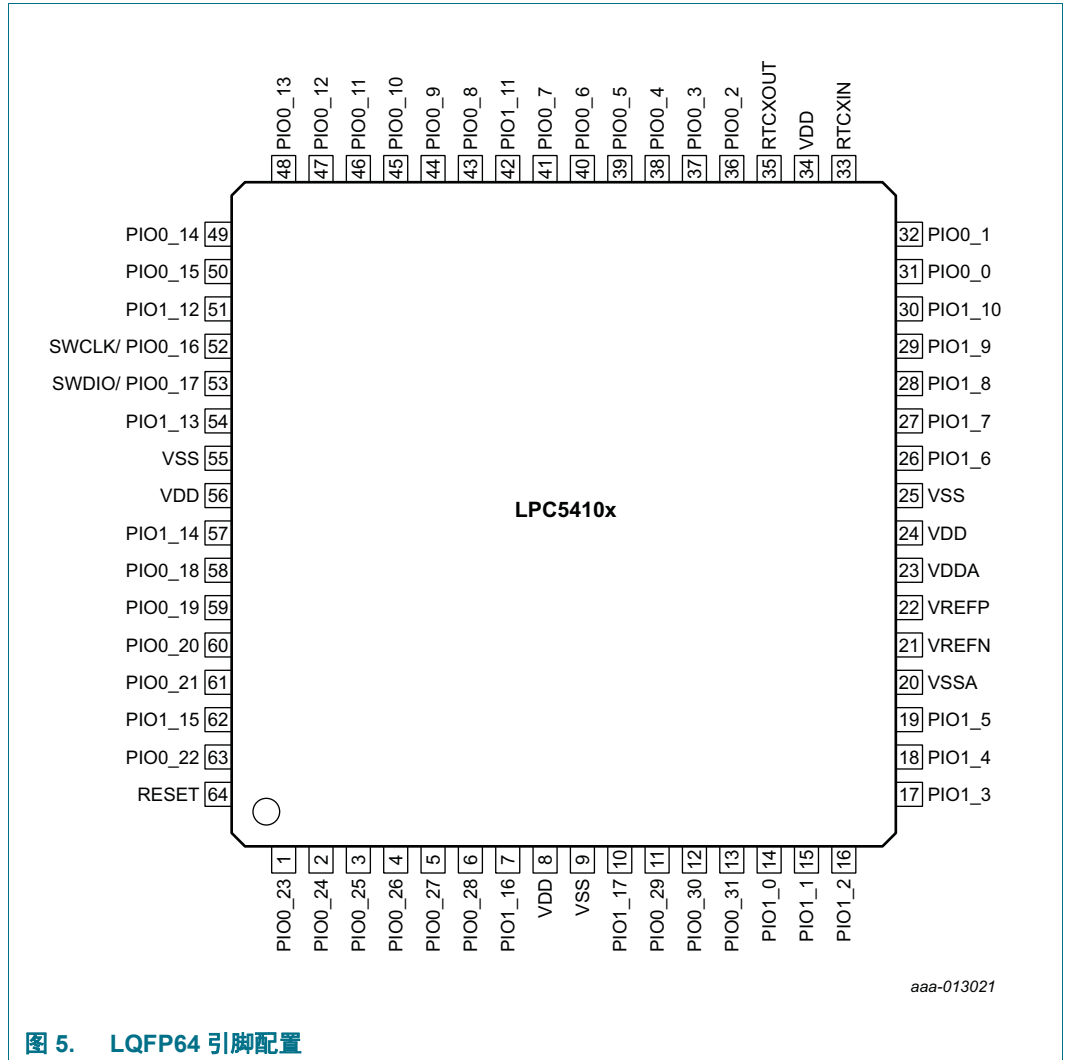


图 5. LQFP64 引脚配置

6.2 引脚说明

在 LPC5410x 上，数字引脚可分组至两个端口。每个数字引脚可能会支持最多四个不同的数字功能、一个模拟功能，包括通用 I/O (GPIO)。

表 4. 引脚说明

符号	WLCSP49	LQFP64		复位状态 [1]	类型 [6]	说明
PIO0_0	A6	31	[2]	PU	I/O	PIO0_0 — 通用数字输入 / 输出引脚。 备注：在 ISP 模式中，此引脚是 UART0 RXD 功能。
					I	U0_RXD — UART0 的接收器输入。
					I/O	SPI0_SSEL0 — SPI0 从机选择 0。
					I	CT32B0_CAP0 — 32 位 CT32B0 捕获输入 0。
					I	R — 保留。
					O	SCT0_OUT3 — SCT0 输出 3。PWM 输出 3。
PIO0_1	B6	32	[2]	PU	I/O	PIO0_1 — 通用数字输入 / 输出引脚。 备注：在 ISP 模式中，此引脚是 UART0 TXD 功能。
					O	U0_TXD — USART0 的发送器输出。
					I/O	SPI0_SSEL1 — SPI0 从机选择 1。
					I	CT32B0_CAP1 — 32 位 CT32B0 捕获输入 1。
					I	R — 保留。
					O	SCT0_OUT1 — SCT0 输出 1。PWM 输出 1。
PIO0_2	-	36	[2]	PU	I/O	PIO0_2 — 通用数字输入 / 输出引脚。
					I	U0_CTS — 清除以发送 USART0 输入。
					I	R — 保留。
					I	CT32B2_CAP1 — 32 位 CT32B2 捕获输入 1。
					I	R — 保留。
PIO0_3	-	37	[2]	PU	I/O	PIO0_3 — 通用数字输入 / 输出引脚。
					O	U0_RTS — USART0 请求发送输出。
					I	R — 保留。
					O	CT32B1_MAT3 — 32 位 CT32B1 匹配输出 3。
					I	R — 保留。
PIO0_4	C7	38	[2]	PU	I/O	PIO0_4 — 通用数字输入 / 输出引脚。
					I/O	U0_SCLK — USART0 时钟处于同步 USART 模式。
					I/O	SPI0_SSEL2 — SPI0 从机选择 2。
					I	CT32B0_CAP2 — 32 位 CT32B0 捕获输入 2。
					I	R — 保留。

表 4. 引脚说明 (续)









符号	WLCSP49	LQFP64	复位状态 	类型 	说明	
PIO0_5	C6	39		PU	I/O	PIO0_5 — 通用数字输入 / 输出引脚。
					I	U1_RXD — USART1 的接收器输入。
					O	SCT0_OUT6 — SCT0 输出 6。PWM 输出 6。
					O	CT32B0_MAT0 — 32 位 CT32B0 匹配输出 0。
					I	R — 保留。
PIO0_6	D7	40		PU	I/O	PIO0_6 — 通用数字输入 / 输出引脚。
					O	U1_TXD — USART1 的发送器输出。
					I	R — 保留。
					O	CT32B0_MAT1 — 32 位 CT32B0 匹配输出 1。
					I	R — 保留。
PIO0_7	D6	41		PU	I/O	PIO0_7 — 通用数字输入 / 输出引脚。
					I/O	U1_SCLK — USART1 时钟处于同步 USART 模式。
					O	SCT0_OUT0 — SCT0 输出 0。PWM 输出 0。
					O	CT32B0_MAT2 — 32 位 CT32B0 匹配输出 2。
					I	R — 保留。
					I	CT32B0_CAP2 — 32 位 CT32B0 捕获输入 2。
PIO0_8	D5	43		PU	I/O	PIO0_8 — 通用数字输入 / 输出引脚。
					I	U2_RXD — USART2 的接收器输入。
					O	SCT0_OUT1 — SCT0 输出 1。PWM 输出 1。
					O	CT32B0_MAT3 — 32 位 CT32B0 匹配输出 3。
					I	R — 保留。
PIO0_9	E7	44		PU	I/O	PIO0_9 — 通用数字输入 / 输出引脚。
					O	U2_TXD — USART2 的发送器输出。
					O	SCT0_OUT2 — SCT0 输出 2。PWM 输出 2。
					I	CT32B3_CAP0 — 32 位 CT32B3 捕获输入 0。
					I	R — 保留。
					I/O	SPI0_SSEL0 — SPI0 从机选择 0。
PIO0_10	E6	45		PU	I/O	PIO0_10 — 通用数字输入 / 输出引脚。
					I/O	U2_SCLK — USART2 时钟处于同步 USART 模式。
					O	SCT0_OUT3 — SCT0 输出 3。PWM 输出 3。
					O	CT32B3_MAT0 — 32 位 CT32B3 匹配输出 0。
					I	R — 保留。

表 4. 引脚说明 (续)










符号	WLCSP49	LQFP64		复位状态 	类型 	说明
PIO0_11	E5	46		PU	I/O	PIO0_11 — 通用数字输入 / 输出引脚。
					I/O	SPI0_SCK — SPI0 的串行时钟。
					I	U1_RXD — USART1 的接收器输入。
					O	CT32B2_MAT1 — 32 位 CT32B2 匹配输出 1。
					I	R — 保留。
PIO0_12	F7	47		PU	I/O	PIO0_12 — 通用数字输入 / 输出引脚。
					I/O	SPI0_MOSI — SPI0 主机输出从机输入。
					O	U1_TXD — USART1 的发送器输出。
					O	CT32B2_MAT3 — 32 位 CT32B2 匹配输出 3。
					I	R — 保留。
PIO0_13	G7	48		PU	I/O	PIO0_13 — 通用数字输入 / 输出引脚。
					I/O	SPI0_MISO — SPI0 主机输入 / 从机输出。
					O	SCT0_OUT4 — SCT0 输出 4。PWM 输出 4。
					O	CT32B2_MAT0 — 32 位 CT32B2 匹配输出 0。
					I	R — 保留。
PIO0_14/TCK	F6	49		PU	I/O	PIO0_14 — 通用数字输入 / 输出引脚。 在边界扫描模式下：TCK（测试时钟）。
					I/O	SPI0_SSEL0 — SPI0 从机选择 0。
					O	SCT0_OUT5 — SCT0 输出 5。PWM 输出 5。
					O	CT32B2_MAT1 — 32 位 CT32B2 匹配输出 1。
					I	R — 保留。
PIO0_15/TDO	G6	50		PU	I/O	PIO0_15 — 通用数字输入 / 输出引脚。 在边界扫描模式下：TDO（测试数据输出）。
					I/O	SPI0_SSEL1 — SPI0 从机选择 1。
					I/O	SWO — 串行线跟踪输出。
					O	CT32B2_MAT2 — 32 位 CT32B2 匹配输出 2。
					I	R — 保留。
SWCLK/ PIO0_16	F5	52		PU	I/O	PIO0_16 — 通用数字输入 / 输出引脚。启动后，引脚将连接至 SWCLK。
					I/O	SPI0_SSEL2 — SPI0 从机选择 2。
					I	U1_CTS — USART1 清除发送输入。
					O	CT32B3_MAT1 — 32 位 CT32B3 匹配输出 1。
					I	R — 保留。
I/O	SWCLK — 串行线时钟。这是启动后的默认功能。					

表 4. 引脚说明 (续)










符号	WLCSP49	LQFP64		复位状态 	类型 	说明
SWDIO/ PIO0_17	G5	53		PU	I/O	PIO0_17 — 通用数字输入 / 输出引脚。启动后，引脚将连接至 SWDIO。
					I/O	SPI0_SSEL3 — SPI0 从机选择 3。
					O	U1_RTS — USART1 请求发送输出。
					O	CT32B3_MAT2 — 32 位 CT32B3 匹配输出 2。
					I	R — 保留。
					I/O	SWDIO — 串行线调试 I/O。这是启动后的默认功能。
PIO0_18/TRST	G4	58		PU	I/O	PIO0_18 — 通用数字输入 / 输出引脚。在边界扫描模式下： TRST （测试复位）。
					O	U3_TXD — USART3 的发送器输出。
					O	SCT0_OUT0 — SCT0 输出 0。PWM 输出 0。
					O	CT32B0_MAT0 — 32 位 CT32B0 匹配输出 0。
					I	R — 保留。
PIO0_19/TDI	G3	59		PU	I/O	PIO0_19 — 通用数字输入 / 输出引脚。在边界扫描模式下：TDI（测试数据输入）。
					I/O	U3_SCLK — USART3 时钟处于同步 USART 模式。
					O	SCT0_OUT1 — SCT0 输出 1。PWM 输出 1。
					O	CT32B0_MAT1 — 32 位 CT32B0 匹配输出 1。
					I	R — 保留。
PIO0_20/TMS	F3	60		PU	I/O	PIO0_20 — 通用数字输入 / 输出引脚。在边界扫描模式下：TMS（测试模式选择）。
					I	U3_RXD — UART3 的接收器输入。
					I/O	U0_SCLK — USART0 时钟处于同步 USART 模式。
					I	CT32B3_CAP0 — 32 位 CT32B3 捕获输入 0。
					I	R — 保留。
PIO0_21	E3	61		PU	I/O	PIO0_21 — 通用数字输入 / 输出引脚。
					O	CLKOUT — 时钟输出引脚。
					O	U0_TXD — USART0 的发送器输出。
					O	CT32B3_MAT0 — 32 位 CT32B3 匹配输出 0。
					I	R — 保留。
PIO0_22	G2	63		PU	I/O	PIO0_22 — 通用数字输入 / 输出引脚。
					I	CLKIN — 时钟输入。
					I	U0_RXD — UART0 的接收器输入。
					O	CT32B3_MAT3 — 32 位 CT32B3 匹配输出 3。
					I	R — 保留。
PIO0_23	F2	1		Z	I/O	PIO0_23 — 通用数字输入 / 输出引脚。
					I/O	I2C0_SCL — I ² C0 时钟输入 / 输出。
					I	R — 保留。
					I	CT32B0_CAP0 — 32 位 CT32B0 捕获输入 0。
					I	R — 保留。

表 4. 引脚说明 (续)

符号	WLCSP49	LQFP64	复位状态 [3]	类型 [4]	说明	
PIO0_24	F1	2	[3]	Z	I/O	PIO0_24 — 通用数字输入 / 输出引脚。
					I/O	I2C0_SDA — I ² C0 数据输入 / 输出。
					I	R — 保留。
					I	CT32B0_CAP1 — 32 位 CT32B0 捕获输入 1。
					I	R — 保留。
					O	CT32B0_MAT0 — 32 位 CT32B0 匹配输出 0。
PIO0_25	E2	3	[3]	Z	I/O	PIO0_25 — 通用数字输入 / 输出引脚。
					I/O	I2C1_SCL — I ² C1 时钟输入 / 输出。
					I	U1_CTS — USART1 清除发送输入。
					I	CT32B0_CAP2 — 32 位 CT32B0 捕获输入 2。
					I	R — 保留。
					I	CT32B1_CAP1 — 32 位 CT32B1 捕获输入 1。
PIO0_26	E1	4	[3]	Z	I/O	PIO0_26 — 通用数字输入 / 输出引脚。
					I/O	I2C1_SDA — I ² C1 数据输入 / 输出。
					I	R — 保留。
					I	CT32B0_CAP3 — 32 位 CT32B0 捕获输入 3。
					I	R — 保留。
PIO0_27	D2	5	[3]	Z	I/O	PIO0_27 — 通用数字输入 / 输出引脚。
					I/O	I2C2_SCL — I ² C2 时钟输入 / 输出。
					I	R — 保留。
					I	CT32B2_CAP0 — 32 位 CT32B2 捕获输入 0。
					I	R — 保留。
PIO0_28	D1	6	[3]	Z	I/O	PIO0_28 — 通用数字输入 / 输出引脚。
					I/O	I2C2_SDA — I ² C2 数据输入 / 输出。
					I	R — 保留。
					O	CT32B2_MAT0 — 32 位 CT32B2 匹配输出 0。
					I	R — 保留。
PIO0_29/ ADC0_0	D3	11	[4]	PU	I/O; AI	PIO0_29/ADC0_0 — 通用数字输入 / 输出引脚 (默认)。如果在此引脚的 IOCON 寄存器中 DIGIMODE 位设置为 0, 则 ADC 输入通道 0。
					-	R — 保留。
					O	SCT0_OUT2 — SCT0 输出 2。
					O	CT32B0_MAT3 — 32 位 CT32B0 匹配输出 3。
					I	R — 保留。
					I	CT32B0_CAP1 — 32 位 CT32B0 捕获输入 1。
					O	CT32B0_MAT1 — 32 位 CT32B0 匹配输出 1。

表 4. 引脚说明 (续)








符号	WLCSP49	LQFP64	复位状态 	类型 	说明	
PIO0_30/ ADC0_1	C1	12		PU	I/O; AI PIO0_30/ADC0_1 — 通用数字输入 / 输出引脚 (默认)。如果在此引脚的 IOCON 寄存器中 DIGIMODE 位设置为 0, 则 ADC 输入通道 1。	
					-	R — 保留。
					O	SCT0_OUT3 — SCT0 输出 3。
					O	CT32B0_MAT2 — 32 位 CT32B0 匹配输出 2。
					I	R — 保留。
					I	CT32B0_CAP2 — 32 位 CT32B0 捕获输入 2。
PIO0_31/ ADC0_2	C2	13		PU	I/O; AI PIO0_31/ADC0_2 — 通用数字输入 / 输出引脚 (默认)。如果在此引脚的 IOCON 寄存器中 DIGIMODE 位设置为 0, 则 ADC 输入通道 2。 备注 此引脚还可用于在器件复位后强制进入在系统编程模式 (ISP)。参见 LPC5410x 用户手册 (启动过程章节), 了解详细信息。	
					-	R — 保留。
					I	U2_CTS — USART2 清除发送输入。
					I	CT32B2_CAP2 — 32 位 CT32B2 捕获输入 2。
					I	R — 保留。
					I	CT32B0_CAP3 — 32 位 CT32B0 捕获输入 3。
PIO1_0/ ADC0_3	C3	14		PU	I/O; AI PIO1_0/ADC0_3 — 通用数字输入 / 输出引脚 (默认)。如果在此引脚的 IOCON 寄存器中 DIGIMODE 位设置为 0, 则 ADC 输入通道 3。	
					-	R — 保留。
					O	U2_RTS — USART2 请求发送输出。
					O	CT32B3_MAT1 — 32 位 CT32B3 匹配输出 1。
					I	R — 保留。
					I	CT32B0_CAP0 — 32 位 CT32B0 捕获输入 0。
PIO1_1/ ADC0_4	B1	15		PU	I/O; AI PIO1_1/ADC0_4 — 通用数字输入 / 输出引脚 (默认)。如果在此引脚的 IOCON 寄存器中 DIGIMODE 位设置为 0, 则 ADC 输入通道 4。	
					-	R — 保留。
					I/O	SWO — 串行线跟踪输出。
					O	SCT0_OUT4 — SCT0 输出 4。
PIO1_2/ ADC0_5	A1	16		PU	I/O; AI PIO1_2/ADC0_5 — 通用数字输入 / 输出引脚 (默认)。如果在此引脚的 IOCON 寄存器中 DIGIMODE 位设置为 0, 则 ADC 输入通道 5。	
					-	R — 保留。
					I/O	SPI1_SSEL3 — SPI1 从机选择 3。
					O	SCT0_OUT5 — SCT0 输出 5。

表 4. 引脚说明 (续)







符号	WLCSP49	LQFP64	复位状态 	类型 	说明	
PIO1_3/ ADC0_6	B2	17		PU	I/O; AI PIO1_3/ADC0_6 — 通用数字输入 / 输出引脚 (默认)。如果在此引脚的 IOCON 寄存器中 DIGIMODE 位设置为 0, 则 ADC 输入通道 6。	
					-	R — 保留。
					I/O	SPI1_SSEL2 — SPI1 从机选择 2。
					O	SCT0_OUT6 — SCT0 输出 6。
					I	R — 保留。
					I/O	SPI0_SCK — SPI0 的串行时钟。
					I	CT32B0_CAP1 — 32 位 CT32B0 捕获输入 1。
PIO1_4/ ADC0_7	A2	18		PU	I/O; AI PIO1_4/ADC0_7 — 通用数字输入 / 输出引脚 (默认)。如果在此引脚的 IOCON 寄存器中 DIGIMODE 位设置为 0, 则 ADC 输入通道 7。	
					-	R — 保留。
					I/O	SPI1_SSEL1 — SPI1 从机选择 1。
					O	SCT0_OUT7 — SCT0 输出 7。
					I	R — 保留。
					I/O	SPI0_MISO — SPI0 主机输入 / 从机输出。
					O	CT32B0_MAT1 — 32 位 CT32B0 匹配输出 1。
PIO1_5/ ADC0_8	B3	19		PU	I/O; AI PIO1_5/ADC0_8 — 通用数字输入 / 输出引脚 (默认)。如果在此引脚的 IOCON 寄存器中 DIGIMODE 位设置为 0, 则 ADC 输入通道 8。	
					-	R — 保留。
					I/O	SPI1_SSEL0 — SPI1 从机选择 0。
					I	CT32B1_CAP0 — 32 位 CT32B1 捕获输入 0。
					I	R — 保留。
					O	CT32B1_MAT3 — 32 位 CT32B1 匹配输出 3。
					I	R — 保留。
PIO1_6/ ADC0_9	A5	26		PU	I/O; AI PIO1_6/ADC0_9 — 通用数字输入 / 输出引脚 (默认)。如果在此引脚的 IOCON 寄存器中 DIGIMODE 位设置为 0, 则 ADC 输入通道 9。	
					-	R — 保留。
					I/O	SPI1_SCK — SPI1 串行时钟。
					I	CT32B1_CAP2 — 32 位 CT32B1 捕获输入 2。
					-	R — 保留。
					O	CT32B1_MAT2 — 32 位 CT32B1 匹配输出 2。
					I	R — 保留。

表 4. 引脚说明 (续)









符号	WLCSP49	LQFP64	复位状态 	类型 	说明	
PIO1_7/ ADC0_10	B5	27		PU	I/O; AI PIO1_7/ADC0_10 — 通用数字输入 / 输出引脚 (默认)。如果在此引脚的 IOCON 寄存器中 DIGIMODE 位设置为 0, 则 ADC 输入通道 10。	
					-	R — 保留。
					I/O	SPI1_MOSI — SPI1 主机输出从机输入。
					O	CT32B1_MAT2 — 32 位 CT32B1 匹配输出 2。
					-	R — 保留。
					I	CT32B1_CAP2 — 32 位 CT32B1 捕获输入 2。
					I	R — 保留。
PIO1_8/ ADC0_11	C5	28		PU	I/O; AI PIO1_8/ADC0_11 — 通用数字输入 / 输出引脚 (默认)。如果在此引脚的 IOCON 寄存器中 DIGIMODE 位设置为 0, 则 ADC 输入通道 11。	
					-	R — 保留。
					I/O	SPI1_MISO — SPI1 主机输入 / 从机输出。
					O	CT32B1_MAT3 — 32 位 CT32B1 匹配输出 3。
					I	R — 保留。
					I	CT32B1_CAP3 — 32 位 CT32B1 捕获输入 3。
					I	R — 保留。
PIO1_9	-	29		PU	I/O PIO1_9 — 通用数字输入 / 输出引脚。	
					I	R — 保留。
					I/O	SPI0_MOSI — SPI0 主机输出 / 从机输入。
					I	CT32B0_CAP2 — 32 位 CT32B0 捕获输入 2。
PIO1_10	-	30		PU	I/O PIO1_10 — 通用数字输入 / 输出引脚。	
					I	R — 保留。
					O	U1_TXD — USART1 的发送器输出。
					O	SCT0_OUT4 — SCT0 输出 4。
PIO1_11	-	42		PU	I/O PIO1_11 — 通用数字输入 / 输出引脚。	
					I	R — 保留。
					O	U1_RTS — USART1 请求发送输出。
					I	CT32B1_CAP0 — 32 位 CT32B1 捕获输入 0。
PIO1_12	-	51		PU	I/O PIO1_12 — 通用数字输入 / 输出引脚。	
					I	R — 保留。
					I	U3_RXD — UART3 的接收器输入。
					O	CT32B1_MAT0 — 32 位 CT32B1 匹配输出 0。
					I/O	SPI1_SCK — SPI1 串行时钟。

表 4. 引脚说明 (续)

符号	WLCSP49	LQFP64	复位状态	类型	说明	
PIO1_13	-	54		PU	I/O	PIO1_13 — 通用数字输入 / 输出引脚。
					I	R — 保留。
					O	U3_TXD — USART3 的发送器输出。
					O	CT32B1_MAT1 — 32 位 CT32B1 匹配输出 1。
					I/O	SPI1_MOSI — SPI1 主机输出 / 从机输入。
PIO1_14	-	57		PU	I/O	PIO1_14 — 通用数字输入 / 输出引脚。
					I	R — 保留。
					I	U2_RXD — USART2 的接收器输入。
					O	SCT0_OUT7 — SCT0 输出 7。
					I/O	SPI1_MISO — SPI1 主机输入 / 从机输出。
PIO1_15	-	62		PU	I/O	PIO1_15 — 通用数字输入 / 输出引脚。
					I	R — 保留。
					O	SCT0_OUT5 — SCT0 输出 5。
					I	CT32B1_CAP3 — 32 位 CT32B1 捕获输入 3。
					I/O	SPI1_SSEL0 — SPI1 从机选择 0。
PIO1_16	-	7		PU	I/O	PIO1_16 — 通用数字输入 / 输出引脚。
					I	R — 保留。
					O	CT32B0_MAT0 — 32 位 CT32B0 匹配输出 0。
					I	CT32B0_CAP0 — 32 位 CT32B0 捕获输入 0。
					I/O	SPI1_SSEL1 — SPI1 从机选择 1。
PIO1_17	-	10		PU	I/O	PIO1_17 — 通用数字输入 / 输出引脚。
复位	G1	64		PU	I	外部复位输入：此引脚上的低电平可复位器件，导致 I/O 端口和外设呈现默认状态，并且处理器从地址 0 开始执行。将器件从深度掉电模式中唤醒。
RTCXIN	A7	33	-	-	-	RTC 振荡器输入。
RTCXOUT	B7	35	-	-	-	RTC 振荡器输出。
VREFP	B4	22	-	-	-	ADC 正基准电压。
VREFN	-	21	-	-	-	ADC 负基准电压。
VDDA	A4	23	-	-	-	模拟供电电压。
VDD	C4, F4	8, 24, 56, 34	-	-	-	1.62 V 至 3.6 V 单电源给内部数字功能和 I/O 供电。
VSS	D4, E4	9, 25, 55	-	-	-	地线。
VSSA	A3	20	-	-	-	模拟接地。

- [1] PU = 输入模式，已使能上拉电阻（上拉电阻将引脚拉高至 V_{DD} ）。Z = 高阻抗，禁用上拉或下拉电阻。复位状态反映引脚在复位时无启动代码操作的状态。不同电源模式下的引脚状态请参见 [6.2.2 章“不同电源模式下的引脚状态”](#)。有关未使用引脚的端接请参见 [6.2.1 章“未使用引脚的端接”](#)。
- [2] 具有可编程干扰滤波器的 5 V 兼容焊盘（ V_{DD} 存在时，容限为 5 V； V_{DD} 不存在时，容限不超过 3.6 V）；提供具有 TTL 电平和迟滞的数字 I/O 功能；标准驱动强度。请参见 [图 27](#)。输入滤波器抑制的峰值或干扰脉冲宽度为 3 ns 至 16 ns（仿真值）。
- [3] 真开漏引脚。I2C 总线引脚符合 I2C 总线规范，支持 I2C 标准模式、I2C 快速模式和 I2C 超快速模式。此引脚要求进行外部上拉，以提供输出功能。电源关闭时，此引脚处于悬空状态，不会干扰 I2C 线路。开漏配置适用于此引脚上的所有功能。
- [4] 5 V 兼容引脚提供带有可配置模式、可配置迟滞和模拟输入的标准数字 I/O 功能。配置为模拟输入时，引脚的数字部分禁用，且引脚并非 5 V 兼容。
- [5] 复位焊盘。带干扰滤波器和迟滞功能的 5 V 兼容焊盘。输入滤波器抑制的尖峰或干扰脉冲宽度为 3 ns 至 20 ns（仿真值）。
- [6] I = 输入；AI = 模拟输入；O = 输出。

6.2.1 未使用引脚的端接

表 5 显示如何端接未在应用中使用的引脚。在很多情况下，未使用的引脚需要通过外部连接，或者通过软件正确配置，以便最大程度降低器件的总功耗。

带 GPIO 功能的未使用引脚应配置为输出，将其设为低电平，且禁用它们的内部上拉电阻。如需将 GPIO 引脚配置为输出并驱动至低电平，可在 IOCON 寄存器中选择 GPIO 功能，选择 GPIO DIR 寄存器中的输出，然后针对该引脚将 0 写入 GPIO PORT 寄存器。在引脚的 IOCON 寄存器中禁用上拉电阻。

此外，建议将所有较小封装上未外焊的 GPIO 引脚配置为输出驱动至低电平，且禁用内部上拉电阻。

表 5. 未使用引脚的端接

引脚	默认状态 ^[1]	未使用引脚的端接建议
复位	I; PU	如果应用程序不使用 $\overline{\text{RESET}}$ 引脚，可将其保持未连接状态。
所有 PION_m (非开漏)	I; PU	如果驱动至低电平且通过软件配置为 GPIO 输出和上拉禁用，则可以保持不连接状态。
PION_m (I2C 开漏)	IA	如果驱动至低电平且通过软件配置为 GPIO 输出，则可以保持不连接状态。
RTCXIN	-	连接至地面。接地时，禁用 RTC 振荡器。
RTCXOUT	-	可保持未连接状态。
VREFP	-	连接至 VDD。
VREFN	-	连接至 VSS。
VDDA	-	连接至 VDD。
VSSA	-	连接至 VSS。

[1] I = 输入，IA = 无效（无上拉 / 下拉使能），PU = 上拉。

6.2.2 不同电源模式下的引脚状态

表 6. 不同电源模式下的引脚状态

引脚	活动	睡眠	深度掉电 / 掉电	深度掉电模式
PION_m 引脚 (非 I2C)	如 IOCON ^[1] 中的配置。默认：内部上拉使能			悬空。
PIO0_23 至 PIO0_28 (开漏 I2C 总线引脚)	如 IOCON ^[1] 中的配置。			悬空。
复位	复位功能使能。默认：输入、内部上拉使能。 禁用复位功能。			

[1] 在睡眠、深度睡眠和掉电模式下获取默认和编程引脚状态。

7. 功能说明

7.1 架构概述

ARM Cortex-M4 包含 3 条 AHB-Lite 总线：1 条系统总线、I-code 和 D-code 总线。一条总线专门用于指令提取 (I-code)，一条总线专门用于数据访问 (D-code)。如果并发操作针对不同器件，使用两条内核总线可允许进行同步操作。

使用多层 AHB 矩阵将 CPU 总线和其他总线主机灵活地连接到外设上，允许该矩阵的不同从机端口上的外设可同时由不同的总线主机进行访问，从而优化性能。多层矩阵的连接如图 3 所示。

APB 外设使用来自多层 AHB 矩阵的单独从机端口，通过两条 APB 总线连接至 AHB 矩阵。这样可以减少 CPU 和 DMA 控制器之间的冲突，实现更出色的性能，还可让异步桥接上的外设拥有不遵循系统时钟的固定时钟。

7.2 ARM Cortex-M4 处理器

ARM Cortex-M4 是一种通用的 32 位微处理器，它可提供高性能和极低的功耗。ARM Cortex-M4 具备许多新的特性，其中包括一个 Thumb-2 指令集、低中断延迟、硬件乘法和除法、可中断 / 可连续的多个加载和存储指令、中断的自动状态保存和恢复、中断控制器与唤醒中断控制器的紧密集成，以及能够同步访问的多条核心总线。

采用 3 级流水线技术，所有处理和存储器系统都能够连续操作。通常，在执行某一条指令时，它的下一条指令正被解码，第三条指令正从存储器中获取。

7.3 ARM Cortex-M4 集成了浮点单元 (FPU)

FPU 完全支持单精度加、减、乘、除、累积和平方根操作。它还用于固定点和浮点数据格式以及浮点常数指令之间的转换。

FPU 可提供浮点计算功能，符合 ANSI/IEEE 标准 754-2008、针对二进制浮点运算的 IEEE 标准（被称为 IEEE 754 标准）。

7.4 存储器保护单元 (MPU)

Cortex-M4 包含一个内存保护单元 (MPU)，可通过保护用户应用中的关键数据来提高嵌入式系统的可靠性。

MPU 可通过禁止访问相互数据、禁止访问内存区域、允许将内存区域定义为只读以及检测可能会导致系统故障的异常内存访问来分别处理任务。

MPU 会将内存分成截然不同的区域并通过防止不允許的访问来设置保护。MPU 支持最多八个区域，每个区域都可分割成八个分区。访问未在 MPU 区域中定义的或者未得到区域设置允许的内存位置会导致发生“内存管理故障”异常。

7.5 Cortex-M4 的可嵌套中断向量控制器 (NVIC)

NVIC 是 Cortex-M4 的主要组成部分。它与 CPU 紧密结合，降低了中断延时，并让新进中断可以得到高效处理。

7.5.1 特性

- 控制系统的异常及外设中断。
- 37 个向量中断。
- 8 个可编程的中断优先级，带硬件优先级屏蔽。
- 可再定位的向量表。
- 非屏蔽中断 (NMI)。
- 软件中断生成功能。

7.5.2 中断源

每个外围设备均有一条中断线连接到 NVIC，但可能有好几个中断标志。

7.6 ARM Cortex-M0+ 协处理器

ARM Cortex-M0+ 协处理器可提供高性能和极低的功耗。该处理器利用 2 级流水线技术 von Neumann 架构和一个小型但非常强大的指令集，提供高端处理硬件。该处理器包含一个带 32 个中断的 NVIC 和一个单独的系统节拍定时器。在 LPC5410x 中，Cortex-M0 协处理器硬件乘法是作为 32 周期的迭代乘法器来实现的。

7.7 Cortex-M0+ 的可嵌套中断向量控制器 (NVIC)

NVIC 是 Cortex-M0+ 的主要组成部分。它与 CPU 紧密结合，降低了中断延时，并让新进中断可以得到高效处理。

7.7.1 特性

- 控制系统的异常及外设中断。
- 32 个向量中断。
- 4 个可编程的中断优先级，带硬件优先级屏蔽。
- 可再定位的向量表。
- 非屏蔽中断 (NMI)。
- 软件中断生成功能。

7.7.2 中断源

每个外围设备均有一条中断线连接到 NVIC，但可能有好几个中断标志。

7.8 系统节拍定时器 (SysTick)

ARM Cortex-M4 和 ARM Cortex-M0+ 内核具有一个旨在生成一个 SYSTICK 专用异常的系统节拍定时器 (SysTick)。SysTick 的时钟源可以是系统时钟或 SYSTICK 时钟。

7.9 片内静态 RAM

LPC5410x 支持 104 kB 的 SRAM，并提供独立的总线主机访问以实现更高的吞吐量，以及单独的功率控制以实现低功耗操作。

7.10 片上 flash

LPC5410x 支持 512 KB 片上 flash 存储器。

7.11 片上 ROM

64 KB 片上 ROM 包含引导加载程序和下列应用程序编程接口 (API):

- 在系统编程 (ISP) 和在应用编程 (IAP) 支持 flash 编程。
- 用于配置功耗和 PLL 设置的电源控制 API。

7.12 存储器映射

LPC5410x 包含几个不同的存储器区域。APB 外设区域大小为 512 kB，经过分隔，可支持最多 32 个外设。每个外设都分配有 16 kB 空间，从而简化地址解码。CPU 集成的寄存器（比如 NVIC、SysTick 和睡眠模式控制）位于专用外设总线上。

图 6 从用户程序角度显示复位后整个地址空间的整体映射。

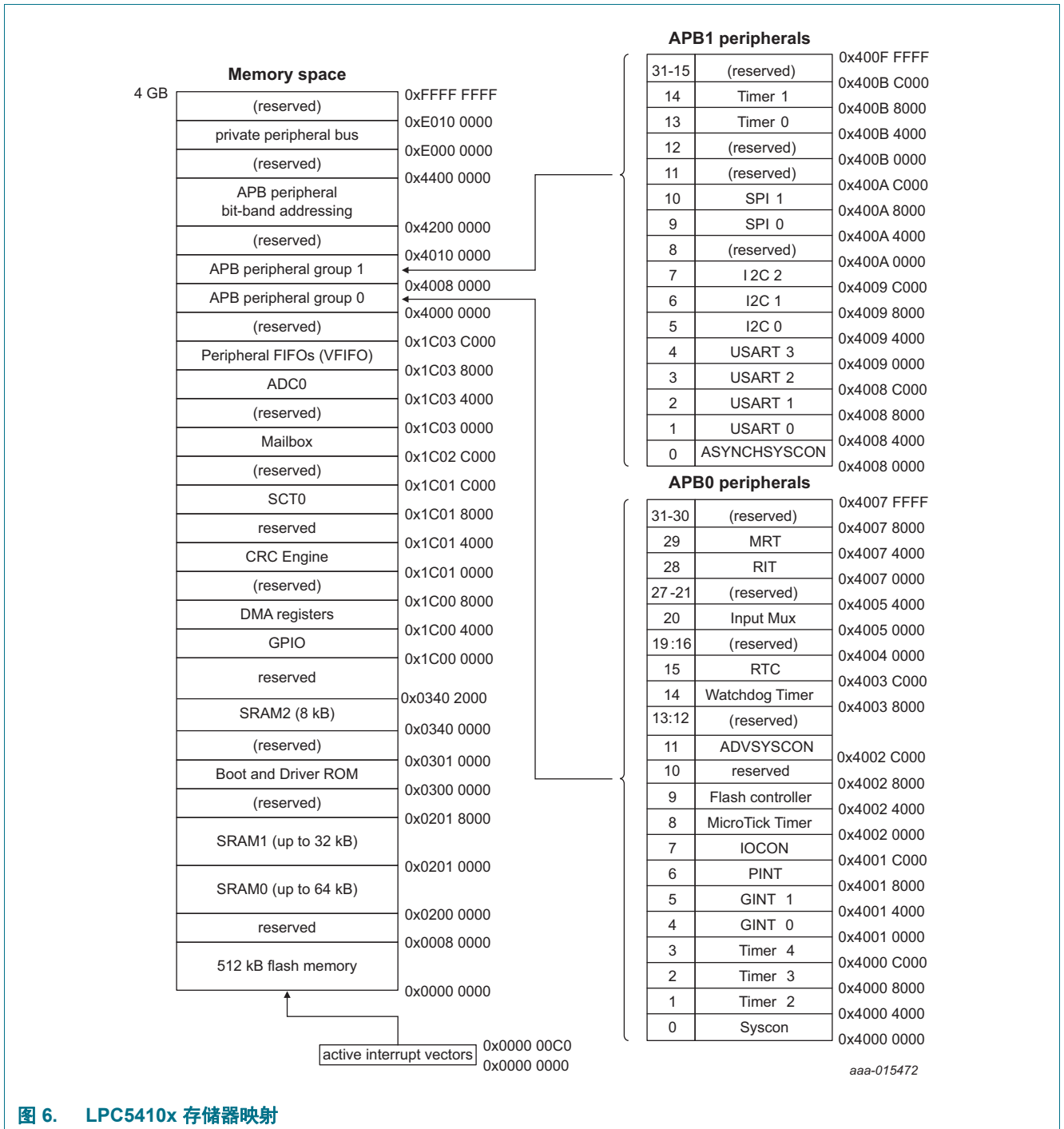


图 6. LPC5410x 存储器映射

7.13 通用 I/O (GPIO)

LPC5410x 支持两个总共带有 50 个 GPIO 引脚的 GPIO 端口。

没有连接到特定外围设备功能的器件引脚由 GPIO 寄存器进行控制。引脚可动态配置为输入或输出。独立的寄存器允许同时设置或清除任意数量的输出。无论该引脚选择哪个外设，都可回读端口引脚的当前电平。

查看[表 4](#)，了解默认恢复状态。

7.13.1 特性

- 加速 GPIO 功能：
 - GPIO 寄存器位于 AHB，这样可实现最快的 I/O 时序。
 - 掩码寄存器允许把端口位集视作一组处理，保留其他位不变。
 - 所有 GPIO 寄存器都是可进行字节和半字寻址的。
 - 整个端口值可写在一个指令中。
- 位级设置和切换寄存器允许单一的指令集、清除或切换一个端口中任何数量的位。
- 各个位的方向控制。
- 复位后所有 I/O 均会默认为输入。
- 可选择所有 GPIO 引脚，以创建一个边沿或电平触发的 GPIO 中断请求。
- 可以通过任意一个引脚或几个引脚触发一组 GPIO 中断。

7.14 引脚中断 / 模式引擎

引脚中断模块可配置所有数字引脚中的多达 8 个引脚，从而提供连接 NVIC 的 8 个外部中断。模式匹配引擎能与软件配合使用，根据引脚输入创建复合状态机。任何数字引脚除了能通过开关矩阵选择功能外，还可通过 SYSCON 模块配置为引脚中断或模式匹配引擎的输入。控制引脚中断或模式匹配引擎的寄存器位于 I/O+ 总线上，便于快速单周期访问。

7.14.1 特性

- 引脚中断：
 - 可从端口 0 和 1 上的所有 GPIO 引脚中最多选择 8 个引脚，作为边沿触发或电平触发中断请求。需要为每个请求在 NVIC 中创建一个单独的中断。
 - 边沿触发中断引脚可以在上升沿和 / 或下降沿产生中断。
 - 电平触发中断引脚可以在高电平或低电平有效时产生中断。
 - 电平触发中断引脚可以在高电平或低电平有效时产生中断。
 - 引脚中断可将器件从睡眠模式、深度睡眠模式和掉电模式中唤醒。

- 模式匹配引擎：
 - 可从端口 0 和 1 上的所有数字引脚中选择最多 8 个引脚，组成布尔表达式。布尔表达式由特定电平和 / 或这些引脚的多种组合转换所组成。
 - 组成特定布尔表达式的每一个位逻辑片最小项（乘数项）都可以产生其自身的专用中断请求。
 - 任意模式匹配事件还能够被编程以生成 RXEV 通知给 CPU。RXEV 信号可连接至一个引脚。
 - 模式匹配能与软件配合使用，根据引脚输入创建复合状态机。
 - 模式匹配引擎可协助仅从激活或睡眠模式唤醒。

7.15 AHB 外设

7.15.1 DMA 控制器

DMA 控制器允许外设到存储器、存储器到外设和存储器到存储器之间的传输。每个 DMA 流都可以为单个源和目标提供单向 DMA 传输。

7.15.1.1 特性

- 22 条通道，其中 21 条连接至外设 DMA 请求。它们来自 USART、SPI 和 I²C 外设。一条未连接至 DMA 请求的备用通道可用于存储器间移动等功能。
- DMA 操作可由片内或片外事件触发。每一路 DMA 通道均可从 20 个源中选择一个触发输入。触发源包含 ADC 中断、定时器中断、引脚中断和 SCT DMA 请求线路。
- 用户可以选择每路通道的优先级。
- 连续优先级仲裁。
- 地址缓存。
- 数据总线的高效利用。
- 单次传输支持多达 1024 字。
- 地址递增选项支持打包和 / 或拆包数据。

7.16 数字串行外围设备

7.16.1 USART

7.16.1.1 特性

- 主机或从机操作的同步模式。包括数据阶段选择和连续时钟选项。
- 异步模式中的最大比特率为 6.25 Mb/s。
- 支持的 USART 主机和从机同步模式的最大比特率为 24 Mb/s。
- 7、8 或 9 个数据位和 1 或 2 个停止位。
- 带软件地址比较的多处理器 / 多点（9 位）模式。

- RS-485 收发器输出使能。
- 用于自动波特率检测的自动波特率模式。
- 奇偶生成及校验：奇数、偶数或无。
- 在异步模式下，软件可选 5-16 个时钟的过采样。
- 一个发送和一个接收数据缓冲区。
- 用于自动流控制的 RTS/CTS 硬件信号。可以通过增量 CTS 检测、发送禁用控制和任意 GPIO 用作 RTS 输出实现软件流控制。
- 来自系统 FIFO 的 FIFO 支持。
- 还可从单个寄存器读取接收数据和状态。
- 中止产生及检测。
- 接收数据为 3 个样本“投票”中的 2 个。当有一个样本不一样的时候，状态标志置位。
- 具备自动波特率功能的内置波特率发生器。
- 小数速率分频器在所有 USART 中共享。
- 以下中断可用：接收器就绪、发送器就绪、接收器空闲、接收器断开变更检测、成帧错误、奇偶校验错误、上溢、下溢、增量 CTS 检测、接收器样本噪声检测。
- 用于测试数据和流量控制的环回模式。
- 在同步从机模式中，从深度睡眠和掉电模式唤醒器件。
- 特殊工作模式允许将 32 kHz RTC 振荡器用作 UART 时钟，从而实现高达 9600 波特的操作。当器件处于深度睡眠或掉电模式时，可以使用此模式，并且在收到字符时，可以唤醒器件。
- USART 发送与接收功能可配合系统 DMA 控制器使用。
- USART 同步从机模式上的活动允许在任意使能中断上从深度睡眠模式和掉电模式唤醒。

7.16.2 SPI 串行 I/O 控制器

7.16.2.1 特性

- 主机和从机操作。
- 支持的 SPI 主机模式最大比特率为 71 Mb/s，支持的 SPI 从机模式最大比特率为 21 Mb/s。
- 直接支持 1 至 16 位的数据帧。软件或 DMA 设置支持更大的帧。
- 无需读取输入数据即可将数据发送至从机。这在设置 SPI 存储器的时候很有用。
- 控制信息还可与数据一同写入。这样便实现了极为丰富的操作，包括“任意长度”的帧。
- 最多 4 个从机选择输入 / 输出，极性可选且使用灵活。
- 支持 DMA 传输：SPIn 发送与接收功能可配合系统 DMA 控制器使用。
- 来自系统 FIFO 的 FIFO 支持。

- 处于从机模式时，SPI 上的活动允许在任意使能中断上从深度睡眠模式和掉电模式唤醒。

7.17 I²C 总线接口

I²C 总线是双向的，仅使用以下两根线进行 I²C 控制：串行时钟线 (SCL) 和串行数据线 (SDA)。每个设备均由一个唯一的地址进行识别，并且可用作一个纯接收器设备（例如，LCD 驱动器）或一个同时具有信息收发功能的发送器（例如，存储器）。发送器和 / 或接收器可在主机或从机模式下工作，具体取决于芯片是需要启动数据传输还是只被寻址。I²C 是一种多主机总线，可由所连接的多个总线主机进行控制。

7.17.1 特性

- 所有 I²C 都支持标准（最高 100 Kb/s）、快速模式（最高 400 Kb/s）和超快速模式（最高 1 Mb/s）。
- 所有 I²C 都支持高速从机模式，数据速率高达 3.4 Mb/s。
- 独立的主机、从机和监控器功能。
- 支持多主机和带从机功能的多主机。
- 硬件支持多个 I²C 从机地址。
- 可以通过一个位屏蔽或一个地址范围选择性验证一个从机地址，从而响应多个 I²C 总线地址。
- 通过软件辅助支持 10 位寻址。
- 支持系统管理总线 (SMBus)。
- 不需要芯片时钟就能接收和比较从机地址，因而此事件可以从掉电模式唤醒器件。
- 在主机和从机模式下，支持 I²C 总线规格达到超快速模式 (FM+)，高达 1 MHz)。高速 (HS，高达 3.4 MHz) I²C 仅支持从机模式。
- 处于从机模式时，I²C 上的活动允许在任意使能中断上从深度睡眠模式和掉电模式唤醒。

7.18 计数器 / 定时器

7.18.1 32 位通用定时器 / 外部事件计数器

LPC5410x 包括五种 32 位通用定时器 / 计数器。

定时器 / 计数器旨在对系统导出的时钟或外部提供的时钟的周期进行计数。它可根据四个匹配寄存器选择产生中断、产生定时 DMA 请求，或者在指定的定时器值执行其他操作。每个定时器 / 计数器还包括两个捕获输入，用来在输入信号跃迁时捕获定时器值，同时可根据需要产生一个中断。

7.18.1.1 特性

- 每个都是带有可编程 32 位前置分频器的 32 位计数器 / 定时器。其中四个定时器包含外部捕获和匹配引脚连接。
- 计数器或定时器操作。

- 每个带引脚连接的定时器最多拥有四个 32 位捕获通道，可以在输入信号跃迁时生成定时器值快照。捕获事件还可以有选择性地生成中断。
- 可以配置定时器和预分频器以便在指定捕获事件上清除。此功能允许通过清除输入脉冲前沿的定时器和捕获后沿的定时器值来轻松测量脉冲宽度。
- 四个 32 位匹配寄存器允许：
 - 连续操作，可选择在匹配时产生中断。
 - 在与可选中断生成相匹配时停止定时器运行。
 - 在与可选中断生成相匹配时进行定时器复位。
- 针对每个带引脚连接的定时器，匹配寄存器最多拥有 4 个外部输出，它们具有如下功能：
 - 匹配时设置低电平。
 - 匹配时设置高电平。
 - 匹配时切换。
 - 匹配时不执行任何操作。
- PWM: 针对每个带引脚连接的定时器，最多 3 个匹配输出可用作单边沿控制的 PWM 输出。

7.18.2 状态可配置定时器 /PWM (SCTimer/PWM)

SCTimer/PWM (SCT0) 允许执行各种各样的定时、计数、输出调制和输入捕获操作。SCTimer/PWM 的输入和输出与捕获共享，并与 32 位通用计数器 / 定时器的输入 / 输出相匹配。

SCTimer/PWM 可配置为两个 16 位计数器或一个统一的 32 位计数器。在使用两个计数器时，除了计数器值外，下列操作要素对于每个计数器来说都是独立的：

- 状态变量
- 限制、终止、停止和启动条件
- 匹配 / 捕获寄存器的值，以及重新载入或捕获控制值

如果使用两个计数器运行，以下操作要素是 SCT 通用的，但最后三个要素可以使用任一计数器中的匹配条件：

- 时钟选择
- 输入
- 活动
- 输出
- 中断

7.18.2.1 特性

- 两个 16 位计数器或一个 32 位计数器。
- 计数器由总线时钟或所选的输入来进行计时。
- 上行计数器或可逆计数器。
- 状态变量可以对多个计数器周期进行排序。
- 事件同时具有指定状态下的输入或输出条件和 / 或计数器匹配项。
- 事件控制输出、中断和 SCT 状态。
 - 匹配寄存器 0 可用作自动限值。
 - 在双向模式中，事件可以根据计数方向使能。
 - 可以保持匹配事件，直至发生另一个符合条件的事件。
- 所选事件可以限制、终止、启动或停止计数器操作。
- 提供如下支持：
 - 8 个输入（6 个 GPIO 引脚、ADC0_THCMP_IRQ、DEBUG_HALTED）
 - 最多 8 个输出
 - 13 个匹配 / 捕获寄存器
 - 13 个事件
 - 13 个状态
- PWM 功能包括前置时间和紧急终止功能。

7.18.3 窗口化看门狗定时器 (WWDT)

看门狗的用途是，在软件未能在可编程设定的时间窗口内定期为控制器提供服务时复位该控制器。

7.18.3.1 特性

- 如果在可编程超时周期内未重新载入，则可在内部复位芯片。
- 可选的窗口化操作要求在最大和最小超时周期之间重新载入，两个时限都可编程。
- 可在看门狗超时之前的可编程时间生成可选的警报中断。
- 带内部固定预分频器的可编程 24 位定时器。
- 时间周期可选，从 1,024 个看门狗时钟 ($T_{WDCLK} \times 256 \times 4$) 到超过 6,700 万个看门狗时钟 ($T_{WDCLK} \times 2^{24} \times 4$)，步长为 4 个看门狗时钟。
- “安全”看门狗操作。一旦使能，则要求禁用硬件复位或看门狗复位。
- 喂狗序列不正确会立即导致看门狗事件（使能状态下）。
- 可选择保护看门狗重新载入值，使其只能在“警报中断”时间后才能改变。
- 指示看门狗复位的标志。

- 看门狗时钟 (WDCLK) 源是低功率看门狗振荡器提供的固定的 500 kHz 时钟 (+/- 40%)。
- 看门狗定时器可配置为在深度睡眠模式或掉电模式下运行。
- 调试模式。

7.18.4 RTC 定时器

RTC 数据块有两个定时器：主 RTC 定时器和高分辨率 / 唤醒定时器。主 RTC 定时器是一个 32 位定时器，使用一个 1 Hz 的时钟，并作为实时时钟连续运行。当定时器值达到匹配值时，会产生中断。如果使能，警报中断还可从任意低功耗模式唤醒器件。

高分辨率或唤醒定时器是一个 16 位定时器，使用一个 1 kHz 时钟并作为单次掉电定时器使用。加载定时器时，会开始向下计数至零，这时会产生中断。如果使能，中断可从任意低功耗模式唤醒器件。此定时器用于从深度睡眠、掉电或深度掉电模式定时唤醒。如果未使用，可禁用此高分辨率唤醒定时器，从而节省功耗。

RTC 定时器使用 32 kHz 时钟输入来创建一个 1 Hz 或 1 kHz 时钟。

7.18.4.1 特性

- RTC 振荡器拥有以下时钟输出：
 - 32 kHz 时钟，可选系统时钟和 CLKOUT 引脚。
 - 用于 RTC 计时的 1 Hz 时钟。
 - 用于高分辨率 RTC 计时的 1 kHz 时钟。
- 用于警报生成的 32 位、1 Hz RTC 计数器和相关匹配寄存器。
- 在 1 kHz 时计时的单独的 16 位高分辨率 / 唤醒定时器，用于 1 ms 分辨率，最大定时溢出的周期超过 1 分钟。
- RTC 警报和高分辨率 / 唤醒定时器超时，每个定时器都生成独立的中断请求。任意一个超时都可将器件从包括深度掉电模式在内的任何低功耗模式唤醒。

7.18.5 多速率定时器 (MRT)

多速率定时器 (MRT) 提供四通道重复中断定时器。每一个通道均可采用独立的时间间隔编程，并且每一个通道的工作都独立于其他通道。

7.18.5.1 特性

- 24 位中断定时器。
- 4 个通道独立从单独设置的值开始递减计数。
- 重复中断、单次中断和单次总线中断模式。

7.18.6 重复性中断定时器 (RIT)

“重复性中断定时器”提供了以指定时间间隔生成中断的通用方法，无需使用标准定时器。其目的是重复与操作系统中断不相关的中断。但是，如果有不同的系统要求，它可用作系统节拍定时器的替代装置。

7.18.6.1 特性

- 从主时钟运行的 48 位计数器。计数器可自由运行，或通过一个已产生的中断来复位。
- 48 位比较值。
- 48 位比较掩码。计数器值等于比较值时，会在遮蔽后生成中断。这样可实现简单比较无法实现的组合。

7.18.7 Micro-tick 定时器 (UTICK)

超低功耗 Micro-tick 定时器，通过看门狗振荡器运行，可用于将器件从低功耗模式中唤醒。

7.18.7.1 特性

- 超简单定时器。
- 写入一次以启动。
- 中断或软件轮询。

7.19 12 位模数转换器 (ADC)

ADC 支持 12 位分辨率和高达 5.0 MSPS 的快速转换速率。模数转换序列可通过多个源触发。潜在触发源有 SCT、外部引脚和 ARM TXEV 中断。

ADC 支持各种时钟方案，带同步至系统时钟的时钟和用于高速转换的单独异步时钟。

ADC 集成硬件阈值比较功能，带过零检测。阈值交叉中断可从内部连接至 SCT 输入，在 ADC 和 SCT 之间支持紧凑定时控制。

7.19.1 特性

- 12 位逐次逼近型模数转换器。
- 输入在最多 12 个引脚中多路复用。
- 两个可配置转换序列具有独立的触发。
- 可选自动阈值上 / 下限比较和过零检测。
- 测量范围：VREFN 至 VREFP（3 V 典型值；不超过 VDDA 电压电平）。
- 12 位转换率为 5.0 MHz。可选择在更高转换率的条件下提供更低分辨率。
- 用于单个或多个输入的突发转换模式。
- 同步或异步操作。异步操作可提供选择 ADC 时钟频率的最大灵活性，同步模式可实现最小触发器延迟并可消除不确定性和抖动以响应触发器。

7.20 系统控制

7.20.1 时钟源

LPC5410x 支持两个外部和三个内部时钟源：

- 内部 RC (IRC)。
- 看门狗振荡器 (WDOSC)。
- 来自数字 I/O 引脚 CLKIN 的外部时钟源。
- 外部 RTC 32 KHz 时钟。
- 系统 PLL 的输出。

7.20.1.1 内部 RC 振荡器 (IRC)

IRC 可用作驱动系统 PLL 以及后续 CPU 的时钟。标称的 IRC 频率为 12 MHz。

上电或任何芯片复位后，LPC5410x 会使用 IRC 作为时钟源。软件稍后可能会切换到其他可用时钟源之一。

7.20.1.2 看门狗振荡器 (WDOSC)

看门狗振荡器是一个低功耗内部振荡器。WDOSC 可用于提供 WWDT 和整个芯片的时钟。额定输出频率为 500 kHz。

7.20.1.3 时钟输入引脚 (CLKIN)

可以在数字 I/O 引脚 CLKIN 上提供外部方波时钟源（最高 25 MHz）。

7.20.2 系统 PLL

系统 PLL 接受范围在 32 kHz 至 12 MHz 之间的输入时钟频率。输入频率可通过一个电流控制振荡器 (CCO) 倍增至高频。

PLL 可通过软件使能或禁止。

7.20.3 时钟生成

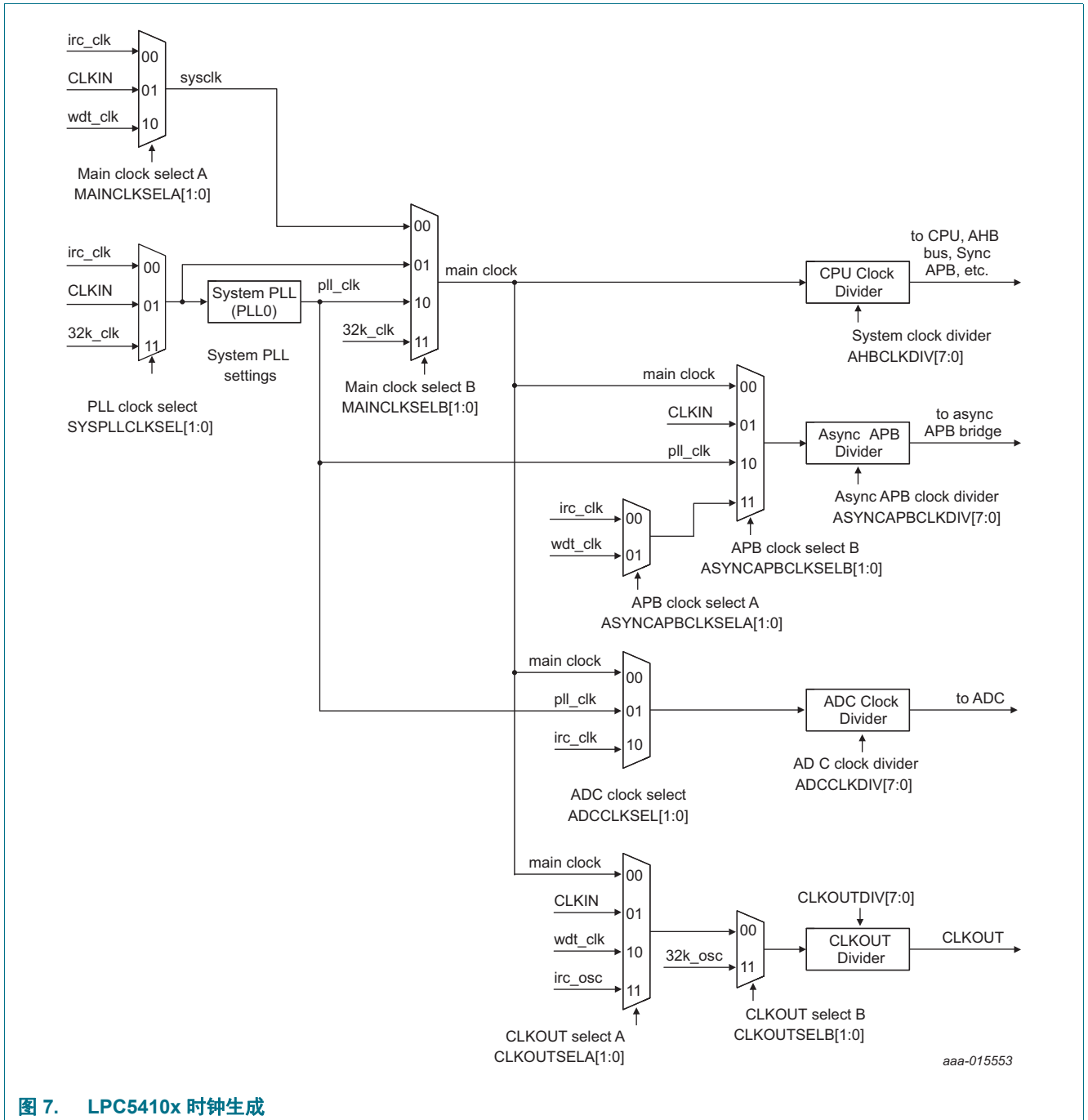


图 7. LPC5410x 时钟生成

7.20.4 功耗控制

LPC5410x 支持多种电源控制功能。在工作模式下，当芯片运行时，可以对所选外设的电源和时钟进行优化，从而降低功耗。此外，处理器还有四种特殊的低功耗模式，可让不同外设分别运行在：睡眠模式、深度睡眠模式、掉电模式和深度掉电模式，并由功耗模式配置 API 激活。

7.20.4.1 睡眠模式

进入睡眠模式后，内核时钟以及任意未使用的外设上的时钟全都关闭。从睡眠模式唤醒不需要任何特殊的序列，只需要重新使能 ARM 内核时钟。

在睡眠模式下，暂停执行指令，直到发生复位或中断。睡眠模式下外设继续工作，且可能产生中断，导致处理器恢复执行状态。睡眠模式消除了处理器本身、存储器系统和相关控制器，以及内部总线和未使用外设的动态功耗。处理器的状态和寄存器、外设寄存器和内部 SRAM 的值都会保留，引脚的逻辑电平保持静态。

7.20.4.2 深度睡眠模式

在深度睡眠模式中，所有外设时钟和所有时钟源都关闭，可以选择保持运行 32 kHz 时钟和 WDOSC。此外，所有模拟模块均关断，flash 处于待机模式。在深度睡眠模式下，应用可保持一些内部时钟和 BOD 电路在运行状态，以便自定时唤醒和 BOD 保护。

LPC5410x 可通过以下方式从深度睡眠模式唤醒：复位、选择用作引脚中断模块输入的数字引脚、RTC 警报、Micro-tick、看门狗定时器复位中断、BOD 中断 / 复位或 USART 中断（如果 USART 配置为 32 kHz 模式或同步从机模式）、SPI 或任意 I2C 外设。从深度睡眠模式唤醒时，SPI、USART 和 I2C 外设必须配置为从机模式。

从深度睡眠模式唤醒所采用的任何中断都必须使能一个 SYSCON 唤醒使能寄存器和 NVIC。

在深度睡眠模式下，处理器的状态和寄存器、外设寄存器和内部 SRAM 的值都会保留，引脚的逻辑电平保持静态。深度睡眠模式支持极低的静态功率和快速唤醒选项。

7.20.4.3 掉电模式

在掉电模式中，所有外设时钟和所有时钟源都关闭，可以选择保持运行 32 kHz 时钟和 WDOSC。此外，所有模拟模块和 flash 均关断。在掉电模式下，应用可将 BOD 电路保持在运行状态，用于 BOD 保护。

LPC5410x 可通过以下方式从掉电模式唤醒：复位、选择用作引脚中断模块输入的数字引脚、RTC 警报、Micro-tick、看门狗定时器复位中断、BOD 中断 / 复位或 USART 中断（如果 USART 处于 32 kHz 模式或配置为同步从机模式）、SPI 或任意 I2C 外设。从掉电模式唤醒时，SPI、USART 和 I2C 外设必须配置为从机模式。

在掉电模式中，处理器的状态和寄存器、外设寄存器和内部 SRAM 的值都会保留，引脚的逻辑电平保持静态。掉电模式比深度睡眠模式更能节省功耗，但唤醒时间较长。

7.20.4.4 深度掉电模式

在深度掉电模式下，整个芯片的电源关闭，但 RTC 电源域和 $\overline{\text{RESET}}$ 引脚除外。LPC5410x 可以通过 $\overline{\text{RESET}}$ 引脚和 RTC 警报从深度掉电模式唤醒。

7.20.5 欠压检测

LPC5410x 集成一个监视器，来监控 V_{DD} 引脚上的电压。如果此电压下降到固定水平以下，则 BOD 设置一个用于查询或引发中断的标志。此外，还可选择一个单独的阈值水平从而引起芯片复位和中断。

7.20.6 安全

LPC5410x 包含可用于在复位后由软件使能的看门狗定时器 (WWDT)。一旦使能后，WWDT 将保持锁定并且在发生复位之前不得以任何方式进行修改。

7.21 代码安全性（代码读取保护 - CRP）

LPC5410x 的功能允许用户在系统中提供不同的安全等级，以便限制针对片上 flash 的访问，以及限制使用串行线调试器 (SWD) 和在系统编程 (ISP)。需要时，通过在指定 flash 位置对特定模式进行编程来调用 CRP。IAP 命令不受 CRP 影响。

此外，复位时可以通过拉动 LPC5410x 低电平的引脚来调用 ISP 输入。此引脚叫做 ISP 输入引脚。

提供 3 级代码读取保护：

1. CRP1 禁止通过 SWD 访问芯片，允许使用有限的 ISP 命令集进行部分闪存更新（闪存扇区 0 除外）。此模式在要求 CRP 且需要更新闪存字段但不能擦除所有扇区时有用。
2. CRP2 禁止通过 SWD 访问芯片，仅允许更少的 ISP 命令集进行完整 flash 擦除和更新。
3. CRP3 可全面禁用任何通过 SWD 和 ISP 的芯片访问。是否通过 IAP 调用来提供（如果需要）flash 更新机制，或者通过重新调用 ISP 命令从而利用 USART 来使能 flash 更新，由用户应用决定。
4. 除了 3 个 CRP 等级外，可以禁用针对有效用户代码的 ISP 入口引脚采样（No_ISP 模式）。详情请参见 LPC5410x 用户手册。

注意事项



如果选择了 3 级代码读取保护 (CRP3)，该器件以后将无法执行厂商测试。

7.22 仿真和调试

调试和跟踪功能集成到 ARM Cortex-M4 和 ARM Cortex-M0+ 中。支持串行线调试和追踪功能。ARM Cortex-M4 经过配置后可支持多达 8 个断点和 4 个观察点。ARM Cortex-M0+ 配置为支持最多 4 个断点和 2 个观察点。此外，还可提供 JTAG 边界扫描模式。

支持 ARM SYSREQ 复位，并引发处理器复位外设，执行引导代码，从地址 0x0000 0000 重新启动并在用户入口点中断。

SWD 引脚和与其他数字 I/O 引脚多路复用。一旦复位，这些引脚可默认假设为 SWD 功能。

8. 限值

表 7. 限值

依照“绝对最大额定值体系 (IEC 60134)”。^[1]

符号	参数	条件		最小值	最大值	单位
V _{DD}	电源电压（内核和外部供电轨）	引脚 VDD 上	[2]	-0.5	+4.6	V
V _{DDA}	模拟供电电压	位于引脚 VDDA 上		-0.5	+4.6	V
V _{ref}	参考电压	在 VREFP 引脚上	-	-0.5	+4.6	V
V _I	输入电压	仅当 V _{DD} > 1.8 V 时有效； 5 V 容限的 I/O 引脚	[6][7]	-0.5	5.0	V
V _I	输入电压	I2C 开漏引脚上	[5]	-0.5	+5.0	V
V _{IA}	模拟输入电压	针对模拟功能配置的数字引脚上	[8][9]	-0.5	V _{DD}	V
I _{DD}	总电源电流		[3]	-	60	mA
I _{SS}	总接地电流		[3]	-	60	mA
I _{latch}	I/O 闩锁电流	$-(0.5V_{DD}) < V_I < (1.5V_{DD})$; T _J < 125 °C		-	100	mA
V _{i(rcx)}	32 kHz 振荡器输入电压		[2]	-0.5	4.6	V
T _{stg}	存储温度		[10]	-65	+150	°C
T _{J(max)}	最大结点温度			-	+150	°C
P _{tot(pack)}	总功耗（每个封装）	基于封装的热传递，不是器件的功耗		-	1.5	W
V _{ESD}	静电放电电压	人体模型；所有引脚	[4]		4000	V

[1] 以下情况适用于极限值：

- a) 该产品包含专门设计用以保护其内部器件的电路，用来防止过量静电电荷的破坏作用。但建议仍要采取一些常规预防措施避免超过最大额定值。
 - b) 参数在工作温度范围内有效，除非另有说明。所有电压都是相对于 V_{SS} 而言的，除非另有说明。
 - c) 限制值仅为应力极限，但不建议在这些值中操作零件，也不保证会正常运行。功能操作的条件如表 16 中所示。
- [2] 最大工作电压以上（参见表 16）和地以下的电压最大值 / 最小值可在短时间内 (< 10 ms) 施加于器件上，而不会导致无法恢复的故障。故障包括器件损失可靠性和缩短使用寿命。
- [3] 峰值电流的上限为对应最大电流的 25 倍。
- [4] 人体放电模型：相当于通过 1.5 kΩ 的串行电阻对 100 pF 电容放电。
- [5] V_{DD} 存在或不存在。符合 I²C 总线标准。当 V_{DD} 掉电时，此引脚上可施加 5.5 V。
- [6] 适用于所有 5 V 兼容 I/O 引脚，真正开漏引脚除外。
- [7] 包括 3 态模式下输出上的电压。

- [8] 可短时间施加超过 3.6 V 的 ADC 输入电压，而不会导致瞬时不可恢复故障。器件寿命期内，持续暴露于 4.6 V 升压下的总时间必须少于 10^6 s。长时间向 ADC 输入端施加升压会影响器件的可靠性，缩短其寿命。
- [9] 建议在模拟输入引脚和电压电源引脚之间连接一个过压保护二极管。
- [10] 取决于封装类型。

9. 热学特性

芯片结温的平均值 T_j (°C) 可以通过下式计算:

$$T_j = T_{amb} + (P_D \times R_{th(j-a)}) \quad (1)$$

- T_{amb} = 环境温度 (°C),
- $R_{th(j-a)}$ = 封装结至环境热阻 (°C/W)
- P_D = 内部和 I/O 功耗的总和

内部功耗等于 I_{DD} 和 V_{DD} 的乘积。I/O 引脚的 I/O 功耗往往较小, 很多时候都可以忽略不计。不过, 它在某些应用中可能比较重要。

表 8. 热阻

符号	参数	条件	最大值/最小值	单位
LQFP64 封装				
$R_{th(j-a)}$	结到环境热阻	JEDEC (4.5 英寸 × 4 英寸); 静止空气	58 ± 15 %	°C/W
		单层 (4.5 英寸 × 3 英寸); 静止空气	81 ± 15 %	°C/W
$R_{th(j-c)}$	结到外壳热阻		18 ± 15 %	°C/W
WLCSP49 封装				
$R_{th(j-a)}$	结到环境热阻	JEDEC (4.5 英寸 × 4 英寸); 静止空气	41 ± 15 %	°C/W
$R_{th(j-c)}$	结到外壳热阻		0.3 ± 15 %	°C/W

10. 静态特性

10.1 一般工作条件

表 9. 一般工作条件

除非另有说明, $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$ 。

符号	参数	条件	最小值	典型值	最大值	单位
f_{clk}	时钟频率	内部 CPU/ 系统时钟	-	-	100	MHz
V_{DD}	电源电压 (内核和外部供电轨)		1.62	-	3.6	V
V_{DDA}	模拟供电电压		1.62	-	3.6	V
V_{refp}	ADC 正基准电压	$V_{DDA} \geq 2\text{ V}$	2.0	-	V_{DDA}	V
		$V_{DDA} < 2\text{ V}$	V_{DDA}	-	V_{DDA}	V
RTC 振荡器引脚						
$V_{i(rtc)}$	32 kHz 振荡器输入电压	引脚 RTCXIN 上	-0.5	-	+3.6	V
$V_{o(rtc)}$	32 kHz 振荡器输出电压	引脚 RTCXOUT 上	-0.5	-	+3.6	V

[1] V_{DD} 电压必须等于或小于 V_{DDA} 上的电压电平。

[2] V_{refp} 电压不得超过 V_{DDA} 上的电压电平。

10.2 CoreMark 数据

表 10. CoreMark 得分

$T_{amb} = 25\text{ }^{\circ}\text{C}$, $V_{DD} = 3.3\text{ V}$ 。

参数	条件	典型值	单位
ARM Cortex-M4 处于工作模式; ARM Cortex-M0+ 处于睡眠模式			
CoreMark 得分	从 SRAM 执行 CoreMark 代码;		
	CCLK = 12 MHz	2.6	(迭代 /s) /MHz
	CCLK = 48 MHz	2.6	(迭代 /s) /MHz
	CCLK = 84 MHz	2.6	(迭代 /s) /MHz
CoreMark 得分	从 flash 执行 CoreMark 代码;		
	CCLK = 12 MHz ; 1 个系统时钟的 flash 访问时间。	2.6	(迭代 /s) /MHz
	CCLK = 48 MHz ; 3 个系统时钟的 flash 访问时间。	2.4	(迭代 /s) /MHz
	CCLK = 84 MHz ; 5 个系统时钟的 flash 访问时间。	2.3	(迭代 /s) /MHz
	CCLK = 100 MHz ; 6 个系统时钟的 flash 访问时间。	2.2	(迭代 /s) /MHz

[1] 时钟源 12 MHz IRC。禁用 PLL。

[2] 时钟源 12 MHz IRC。已启用 PLL。

[3] 通过对典型样本进行基准测量来描述特性。

[4] 编译器设置: Keil μ Vision v.5.12, 优化等级 3, 针对上电时间进行优化。

- [5] SRAM0 和 SRAM1 已上电，SRAM2 已掉电。
- [6] 参见 LPC5410x 用户手册中的 FLASHCFG 寄存器，了解系统时钟 flash 访问时间设置。

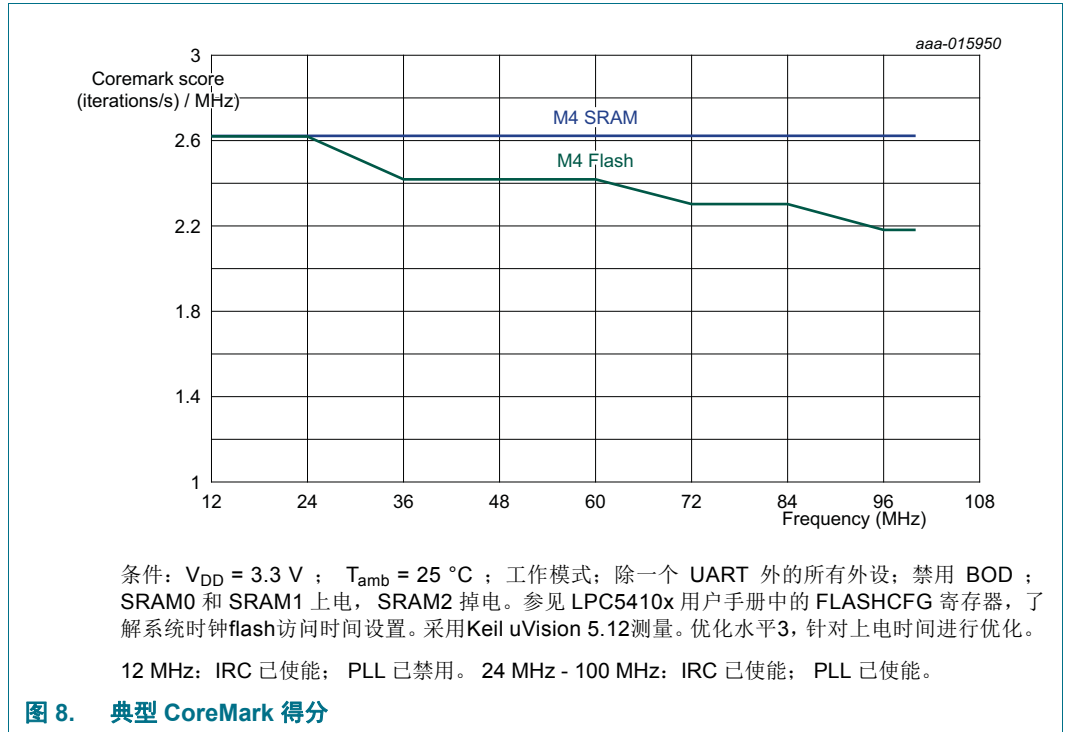


图 8. 典型 CoreMark 得分

10.3 功耗

在下列条件下测量工作、睡眠、深度睡眠和掉电模式的功耗：

- 在 IOCON 模块中禁用上拉电阻，将所有引脚配置为 GPIO。
- 使用 GPIO DIR 寄存器将 GPIO 引脚配置为输出。
- 向 GPIO CLR 寄存器写入 1，驱动输出至低电平。
- 禁用所有外设。

表 11. 静态特性：工作和睡眠模式下的功耗

除非另有说明， $T_{amb} = -40\text{ °C}$ 至 $+105\text{ °C}$ 。 $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。

符号	参数	条件	最小值	典型值 [1]	最大值	单位	
ARM Cortex-M0+ 处于工作模式； ARM Cortex-M4 处于睡眠模式							
I _{DD}	电源电流	从 SRAM 执行 CoreMark 代码； flash 掉电					
		CCLK = 12 MHz	[2][4][6]	-	1.2	-	mA
		CCLK = 48 MHz	[3][4][6]	-	3.0	-	mA
		CCLK = 84 MHz	[3][4][6]	-	4.5	-	mA
I _{DD}	电源电流	从 flash 执行 CoreMark 代码；					
		CCLK = 12 MHz； 1 个系统时钟的 flash 访问时间。	[2][4][6]	-	1.5	-	mA
		CCLK = 48 MHz； 3 个系统时钟的 flash 访问时间。	[3][4][6]	-	3.6	-	mA
		CCLK = 84 MHz； 6 个系统时钟的 flash 访问时间。	[3][4][6]	-	5.4	-	mA
I _{DD}	电源电流	计算从 flash 执行的 Fibonacci 数量；					
		CCLK = 12 MHz	[2][4][5]	-	1.5	-	mA
		CCLK = 84 MHz	[3][4][5]	-	6.2	-	mA
		CCLK = 96 MHz	[3][4][5]	-	7.2	-	mA

表 11. 静态特性：工作和睡眠模式下的功耗 (续)

除非另有说明, $T_{amb} = -40\text{ °C}$ 至 $+105\text{ °C}$ 。 $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。

符号	参数	条件	最小值	典型值 [1]	最大值	单位	
ARM Cortex-M4 处于工作模式； ARM Cortex-M0+ 处于睡眠模式							
I _{DD}	电源电流	从 SRAM 执行 CoreMark 代码； flash 掉电					
		CCLK = 12 MHz	[2][4][6]	-	1.5	-	mA
		CCLK = 48 MHz	[3][4][6]	-	4.8	-	mA
		CCLK = 84 MHz	[3][4][6]	-	7.9	-	mA
		CCLK = 100 MHz	[3][4][6]	-	9.9	-	mA
I _{DD}	电源电流	从 flash 执行 CoreMark 代码；					
		CCLK = 12 MHz； 1 个系统时钟的 flash 访问时间。	[2][4][6]	-	1.9	-	mA
		CCLK = 48 MHz； 3 个系统时钟的 flash 访问时间。	[3][4][6]	-	5.7	-	mA
		CCLK = 84 MHz； 6 个系统时钟的 flash 访问时间。	[3][4][6]	-	8.8	-	mA
		CCLK = 100 MHz； 7 个系统时钟的 flash 访问时间。	[3][4][6]	-	10.7	-	mA
I _{DD}	电源电流	计算从 SRAM 执行的 Fibonacci 数量；					
		CCLK = 12 MHz	[2][4][5]	-	1.7	-	mA
		CCLK = 84 MHz	[3][4][5]	-	8.0	-	mA
		CCLK = 96 MHz	[3][4][5]	-	9.4	-	mA
I _{DD}	电源电流	计算从 flash 执行的 Fibonacci 数量；					
		CCLK = 12 MHz	[2][4][5]	-	1.7	-	mA
		CCLK = 84 MHz	[3][4][5]	-	8.0	-	mA
		CCLK = 96 MHz	[3][4][5]	-	9.4	-	mA

表 11. 静态特性：工作和睡眠模式下的功耗 (续)

除非另有说明, $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$ 。 $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。

符号	参数	条件	最小值	典型值 [1]	最大值	单位
ARM Cortex-M4 处于睡眠模式； ARM Cortex-M0+ 处于睡眠模式						
I _{DD}	电源电流	CCLK = 12 MHz	-	990	-	μA
		CCLK = 100 MHz	-	4.0	-	mA

- [1] 无法保证得到典型额定值。上表列出的典型值是在室温 (25 °C)、3.3V 下测得的。
- [2] 时钟源 12 MHz IRC。禁用 PLL。
- [3] 时钟源 12 MHz IRC。已启用 PLL。
- [4] 通过对典型样本进行基准测量来描述特性。
- [5] 编译器设置：Keil μVision v.5.10, 优化等级 0, 经过优化的掉电时间。
- [6] 在 FLASHCFG 寄存器上禁用预取功能。使用电源 API 设置系统时钟 flash 访问时间。SRAM0 已上电, SRAM1 和 SRAM2 掉电。编译器设置：Keil μVision v.5.12, 优化等级 0, 针对掉电时间进行优化。
- [7] SRAM0 中的第一个 8 kB 已上电；Flash、SRAM1 和 SRAM2 掉电；禁用所有外设时钟。编译器设置：Keil μVision v.5.12, 优化等级 0, 针对掉电时间进行优化。

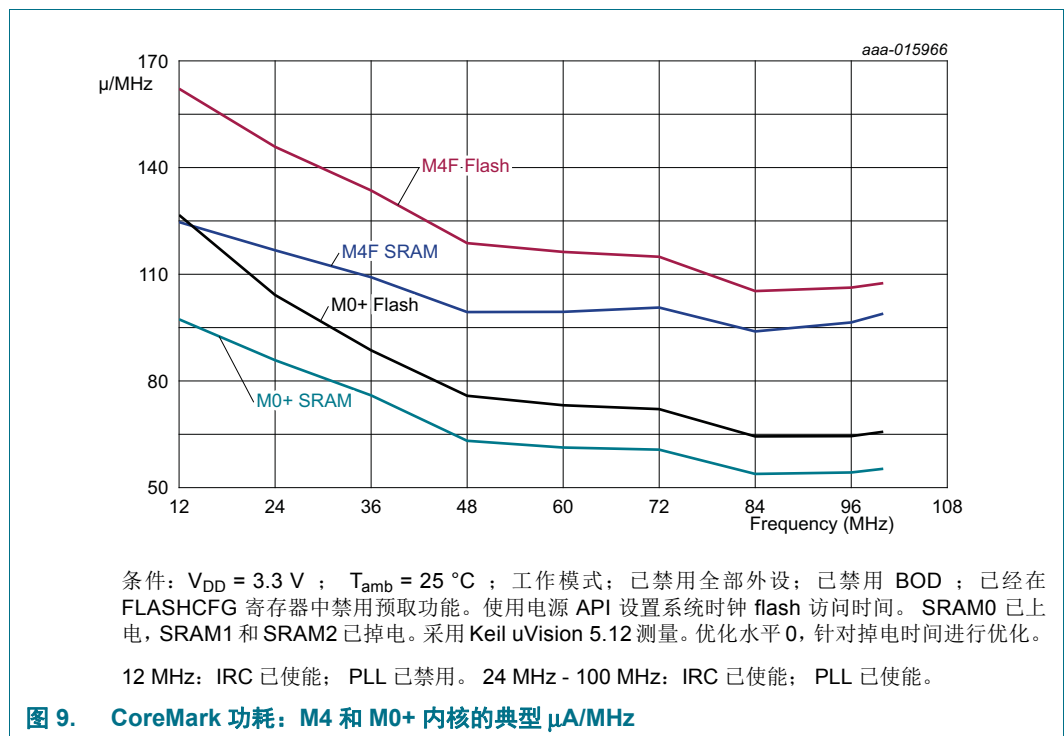


表 12. 静态特性：深度睡眠模式、掉电模式和深度掉电模式下的功耗

除非另有说明， $T_{amb} = -40\text{ °C}$ 至 $+105\text{ °C}$ 。 $1.62\text{ V} \leq V_{DD} \leq 2.0\text{ V}$ 。

符号	参数	条件	最小值	典型值 [1][2]	最大值 [3]	单位	
I _{DD}	电源电流	深度睡眠模式，所有 SRAM 都启动： $T_{amb} = 25\text{ °C}$	[2]	-	235	380	μA
		$T_{amb} = 105\text{ °C}$		-	-	1.9	mA
		掉电模式： SRAM0 中的第一个 8 kB 已上电： $T_{amb} = 25\text{ °C}$	[2]	-	4	8	μA
		$T_{amb} = 105\text{ °C}$		-	-	110	μA
		SRAM0 (64 kB) 已上电		-	6.7	-	μA
		SRAM0 (64 kB)、SRAM1 (32 kB) 已上电		-	7.8	-	μA
		SRAM0 (64 kB)、SRAM1 (32 kB)、SRAM2 (8 kB) 已上电		-	8.2	-	μA
		深度掉电模式： RTC 振荡器输入已接地（已禁用 RTC 振荡器） $T_{amb} = 25\text{ °C}$	[2]	-	160	340	nA
		$T_{amb} = 105\text{ °C}$		-	-	14	μA
		RTC 振荡器以外外部晶振运行		-	240	-	nA

[1] 无法保证得到典型额定值。上表列出的典型值是在室温 (25 °C) 下测得的。

[2] 通过对典型样本进行基准测量来描述特性。 $V_{DD} = 1.62\text{ V}$ 。[3] 数据基于特性结果，未在生产中测试。 $V_{DD} = 2.0\text{ V}$ 。

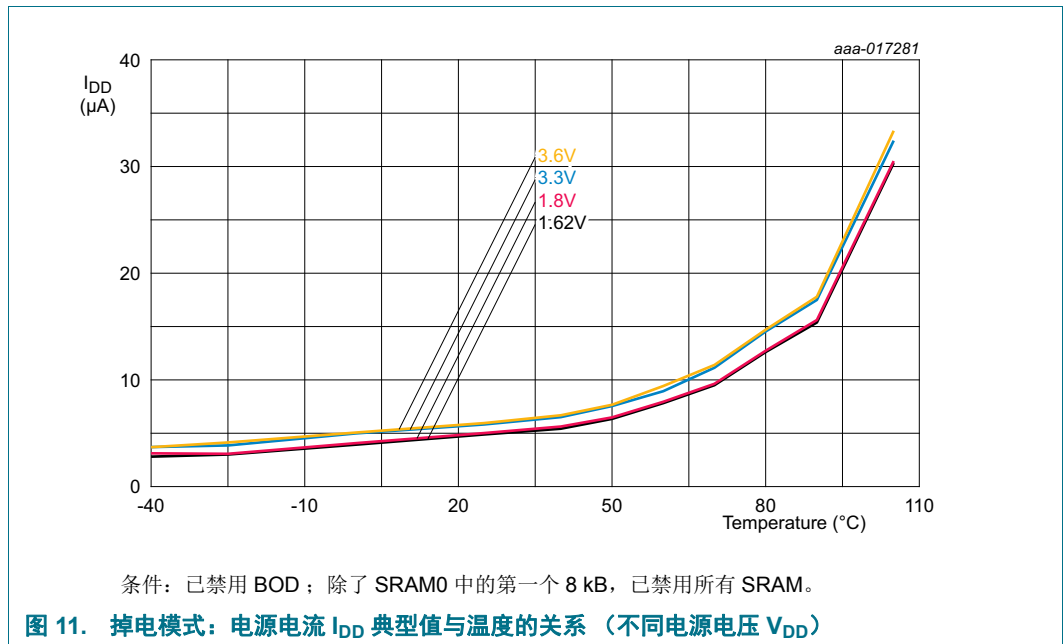
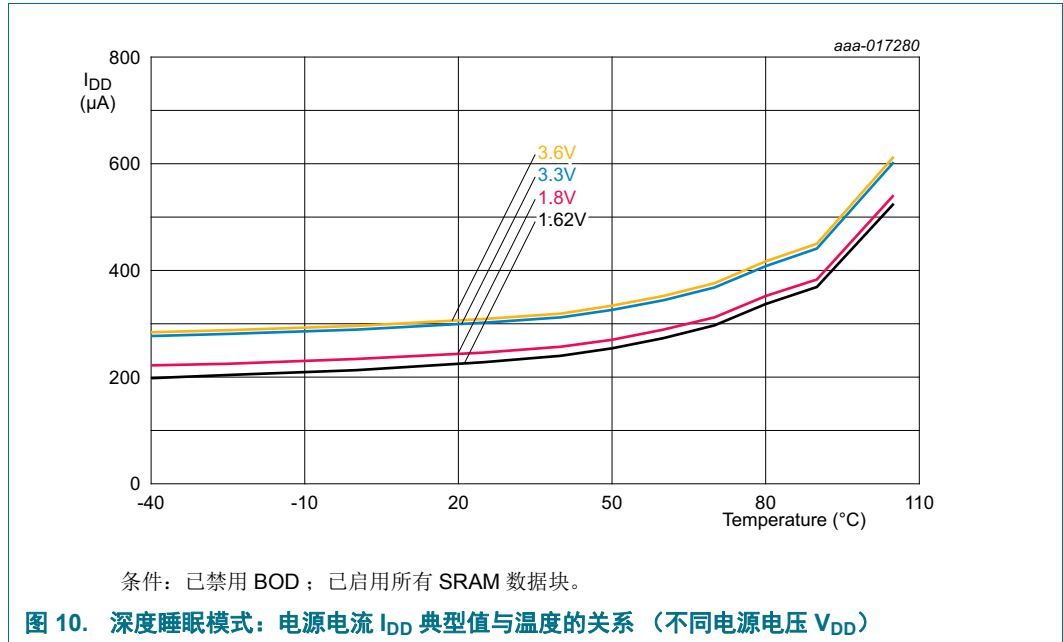
表 13. 静态特性：深度睡眠模式、掉电模式和深度掉电模式下的功耗

除非另有说明， $T_{amb} = -40\text{ °C}$ 至 $+105\text{ °C}$ ， $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。

符号	参数	条件	最小值	典型值 [1][2]	最大值 [3]	单位	
I _{DD}	电源电流	深度睡眠模式，所有 SRAM 都启动： $T_{amb} = 25\text{ °C}$	[2]	-	306	480	μA
		$T_{amb} = 105\text{ °C}$		-	-	2.3	mA
		掉电模式； SRAM0 中的第一个 8 kB 已上电： $T_{amb} = 25\text{ °C}$	[2]	-	5	10	μA
		$T_{amb} = 105\text{ °C}$		-	-	115	μA
		SRAM0 (64 kB) 已上电		-	7.3	-	μA
		SRAM0 (64 kB)、SRAM1 (32 kB) 已上电		-	8.6	-	μA
		SRAM0 (64 kB)、SRAM1 (32 kB)、SRAM2 (8 kB) 已上电		-	9	-	μA
		深度掉电模式； RTC 振荡器输入已接地 (已禁用 RTC 振荡器) $T_{amb} = 25\text{ °C}$	[2]	-	200	570	nA
		$T_{amb} = 105\text{ °C}$		-	-	20	μA
		RTC 振荡器以外部晶振运行		-	280	-	nA

[1] 无法保证得到典型额定值。上表列出的典型值是在室温 (25 °C) 下测得的。

[2] 通过对典型样本进行基准测量来描述特性。 $V_{DD} = 3.3\text{ V}$ 。[3] 在生产中测试， $V_{DD} = 3.6\text{ V}$ 。



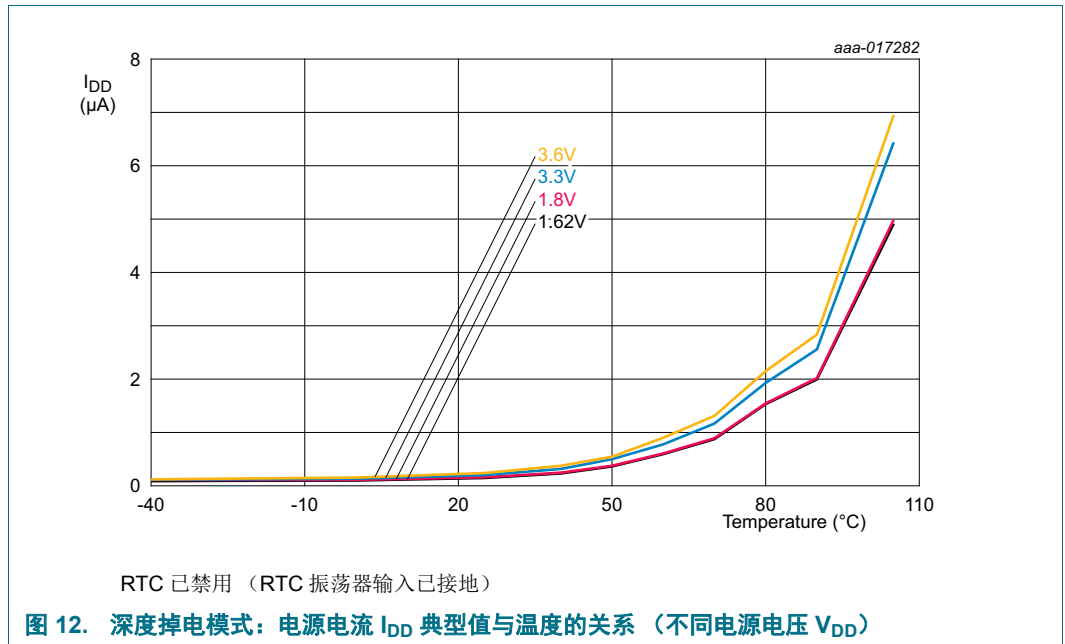


表 14. 典型外设功耗 [1][2][3]

$V_{DD} = 3.3\text{ V}$; $T_{amb} = 25\text{ °C}$

外设	I_{DD} (µA)
IRC	262
WDT OSC	2.0
Flash	200.0
BOD	2.0
CLKOUT	37

- [1] 根据外设模块在 PDRUNCFG 寄存器中使能以及禁用时电源电流之差，测量每个外设的电源电流。所有其他模块均为禁用，且未执行任何访问外设的代码。
- [2] 显示 12 MHz 系统时钟频率时的电源电流。
- [3] 无法保证得到典型额定值。通过对典型样本进行基准测量来描述特性。

表 15. 典型 AHB/APB 外设功耗 [3][4][5]

$V_{DD} = 3.3\text{ V}$; $T = 25\text{ °C}$

外设	I_{DD} (µA)	I_{DD} (µA/MHz)	I_{DD} (µA/MHz)
AHB 外设		CPU: 12 MHz, 同步 APB 总线: 12 MHz	CPU: 96MHz, 同步 APB 总线: 96 MHz
GPIO0	[1]	0.50	0.7
GPIO1	[1]	0.42	0.52
DMA	-	5.0	6.86
CRC	-	0.42	0.50
邮箱	-	0.17	0.20
ADC0	-	2.25	2.92

表 15. 典型 AHB/APB 外设功耗 [3][4][5] (续)

 $V_{DD} = 3.3\text{ V}$; $T = 25\text{ }^{\circ}\text{C}$

外设		I_{DD} (μA)	I_{DD} ($\mu\text{A}/\text{MHz}$)	I_{DD} ($\mu\text{A}/\text{MHz}$)
SCTimer/PWM		-	5.08	7.07
FIFO		-	3.17	4.49
同步 APB 外设			CPU: 12 MHz, 同步 APB 总线: 12 MHz	CPU: 96MHz, 同步 APB 总线: 96 MHz
INPUTMUX	[1]	-	0.83	0.96
IOCON	[1]	-	1.25	1.55
PINT		-	0.83	1.05
GINT		-	0.50	0.61
WWDT		-	0.17	0.28
MRT		-	0.50	0.65
RTC		-	0.08	0.09
RIT		-	0.50	0.71
UTICK		-	0.17	0.11
Timer2		-	0.58	0.67
Timer3		-	0.42	0.42
Timer4		-	0.50	0.57
异步 APB 外设			CPU: 12 MHz, 异步 APB 总线: 12 MHz	CPU: 96MHz, 异步 APB 总线: 12 MHz^[2]
USART0		-	0.67	0.11
USART1		-	0.75	0.07
USART2		-	0.67	0.11
USART3		-	0.75	0.07
I2C0		-	0.92	0.10
I2C1		-	0.83	0.26
I2C2		-	0.83	0.25
SPIO0		-	0.92	0.21
SPIO1		-	0.83	0.25
CTimer0		-	0.58	0.18
CTimer1		-	0.42	0.14
小数速率发生器		-	4.17	0.73

[1] 完成配置时关闭外设。

[2] 为优化系统功耗，可以在 CPU 频率较高时，使用固定的低频率异步 APB 总线。

[3] 根据外设模块在 ASYNCAPBCLKCTRL、AHBCLKCTRL0/1 和 PDRUNCFG 寄存器中使能以及禁用时电源电流之差，测量每个外设的电源电流。所有其他模块均为禁用，且未执行任何访问外设的代码。

[4] 显示 12 MHz 至 96 MHz 系统时钟频率范围内的电源电流。

[5] 无法保证得到典型额定值。通过对典型样本进行基准测量来描述特性。

10.4 引脚特性

表 16. 静态特性：引脚特性

除非另有说明， $T_{amb} = -40\text{ °C}$ 至 $+105\text{ °C}$ 。除非另有说明， $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。除非另有说明，在生产中测试的值。

符号	参数	条件	最小值	典型值 [1]	最大值	单位
RESET 引脚						
V_{IH}	高电平输入电压		$0.8 \times V_{DD}$	-	5.0	V
V_{IL}	低电平输入电压		-0.5	-	$0.3 \times V_{DD}$	V
V_{hys}	迟滞电压		[9] $0.05 \times V_{DD}$	-	-	V
标准 I/O 引脚						
输入特性						
I_{IL}	低电平输入电流	$V_I = 0\text{ V}$ ；禁用片上上拉电阻	-	3.0	180	nA
I_{IH}	高电平输入电流	$V_I = V_{DD}$ ； $V_{DD} = 3.6\text{ V}$ ；针对 RESETN 引脚		3.0	180	nA
I_{IH}	高电平输入电流	$V_I = V_{DD}$ ；禁用片上下拉电阻	-	3.0	180	nA
V_I	输入电压	配置引脚以提供数字功能； $V_{DD} > 1.8\text{ V}$	[3]			
		$V_{DD} = 0\text{ V}$	0	-	5.0	V
V_{IH}	高电平输入电压	$1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	1.5	-	5.0	V
		$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	2.0	-	5.0	V
V_{IL}	低电平输入电压	$1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	-0.5	-	+0.4	V
		$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-0.5	-	+0.8	V
V_{hys}	迟滞电压		[9] $0.1 \times V_{DD}$	-	-	V
输出特性						
V_O	输出电压	激活输出	0	-	V_{DD}	V
I_{OZ}	断态输出电流	$V_O = 0\text{ V}$ ； $V_O = V_{DD}$ ；已禁用片上上拉 / 下拉电阻	-	3	180	nA
V_{OH}	高电平输出电压	$I_{OH} = -4\text{ mA}$ ； $1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	$V_{DD} - 0.4$	-	-	V
		$I_{OH} = -6\text{ mA}$ ； $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	$V_{DD} - 0.4$			
V_{OL}	低电平输出电压	$I_{OL} = 4\text{ mA}$ ； $1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	-	-	0.4	V
		$I_{OL} = 6\text{ mA}$ ； $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-	-	0.4	V
I_{OH}	高电平输出电流	$V_{OH} = V_{DD} - 0.4\text{ V}$ ； $1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	4.0	-	-	mA
		$V_{OH} = V_{DD} - 0.4\text{ V}$ ； $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	6.0	-	-	mA
I_{OL}	低电平输出电流	$V_{OL} = 0.4\text{ V}$ ； $1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	4.0	-	-	mA
		$V_{OL} = 0.4\text{ V}$ ； $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	6.0	-	-	mA
I_{OHS}	高电平短路输出电流	$1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	[2][4]	-	35	mA
	拉高；接地；	$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$		-	87	mA

表 16. 静态特性：引脚特性 (续)

除非另有说明， $T_{amb} = -40\text{ °C}$ 至 $+105\text{ °C}$ 。除非另有说明， $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。除非另有说明，在生产中测试的值。

符号	参数	条件		最小值	典型值 [1]	最大值	单位
I_{OLS}	低电平短路输出电流	$1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	[2][4]	-	-	30	mA
	拉低；连接至 V_{DD}	$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$		-	-	77	mA
弱输入上拉 / 下拉特性							
I_{pd}	下拉电流	$V_I = V_{DD}$		25		80	μA
		$V_I = 5\text{ V}$	[2]	80		100	μA
I_{pu}	上拉电流	$V_I = 0\text{ V}$		-25		-80	μA
		$V_{DD} < V_I < 5\text{ V}$	[2][7]	6		30	μA

表 16. 静态特性：引脚特性 (续)

除非另有说明, $T_{amb} = -40\text{ °C}$ 至 $+105\text{ °C}$ 。除非另有说明, $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。除非另有说明, 在生产中测试的值。

符号	参数	条件	最小值	典型值 [1]	最大值	单位	
I²C 开漏引脚							
V _{IH}	高电平输入电压	1.62 V ≤ V _{DD} < 2.7 V	0.7 × V _{DD}	-	-	V	
		2.7 V ≤ V _{DD} ≤ 3.6 V	0.7 × V _{DD}	-	-	V	
V _{IL}	低电平输入电压	1.62 V ≤ V _{DD} < 2.7 V	0	-	0.3 × V _{DD}	V	
		2.7 V ≤ V _{DD} ≤ 3.6 V	0	-	0.3 × V _{DD}	V	
V _{hys}	迟滞电压		0.1 × V _{DD}	-	-	V	
I _{LI}	输入泄漏电流	V _I = V _{DD}	[5]	-	2.5	3.5	μA
		V _I = 5 V	-	-	5.5	10	μA
I _{OL}	低电平输出电流	V _{OL} = 0.4 V ; 针对标准模式或快速模式的引脚配置	4.0	-	-	mA	
		V _{OL} = 0.4 V ; 针对超快速模式的引脚配置	20	-	-	mA	
引脚电容							
C _{io}	输入 / 输出电容	I ² C 总线引脚	[8]	-	-	6.0	pF
		仅带有数字功能的引脚	[6]	-	-	2.0	pF
		带模拟和数字功能的引脚	[6]	-	-	7.0	pF

- [1] 无法保证得到典型额定值。列出的值是在室温 (25 °C)、标称电源电压下测得的。
- [2] 基于特性。未经过生产测试。
- [3] 相对于接地而言。
- [4] 只要电流限制不超过器件允许的最大电流即可。
- [5] 到 V_{SS}。
- [6] 指定的值为模拟值和绝对值, 包括封装 / 引线电容。
- [7] 弱上拉电阻器与 V_{DD} 轨连接, 并将 I/O 引脚上拉至 V_{DD} 电位。
- [8] 指定的值为模拟值, 不包括封装 / 断线电容。
- [9] 设计保证, 未在生产中测试。

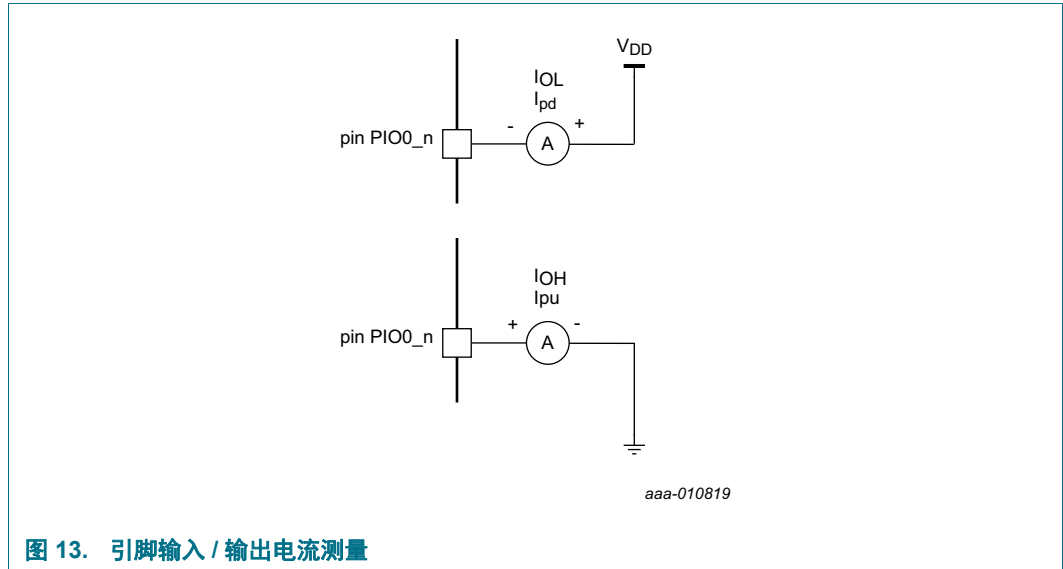


图 13. 引脚输入 / 输出电流测量

10.4.1 电气引脚特性

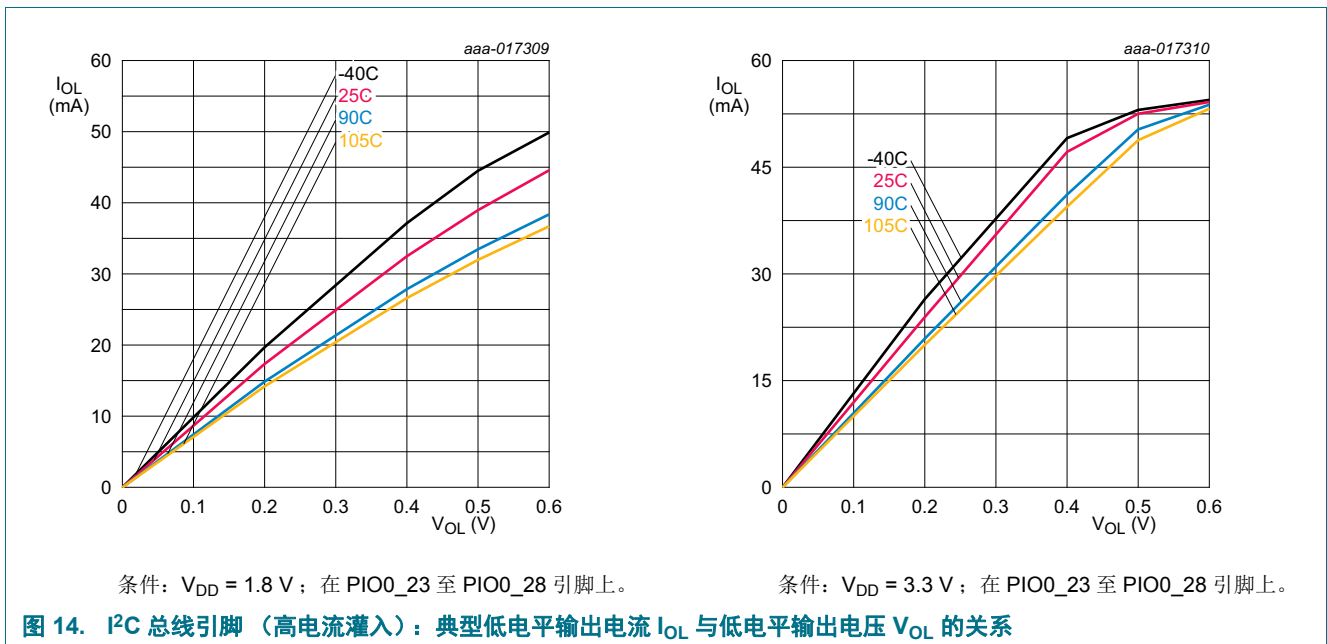
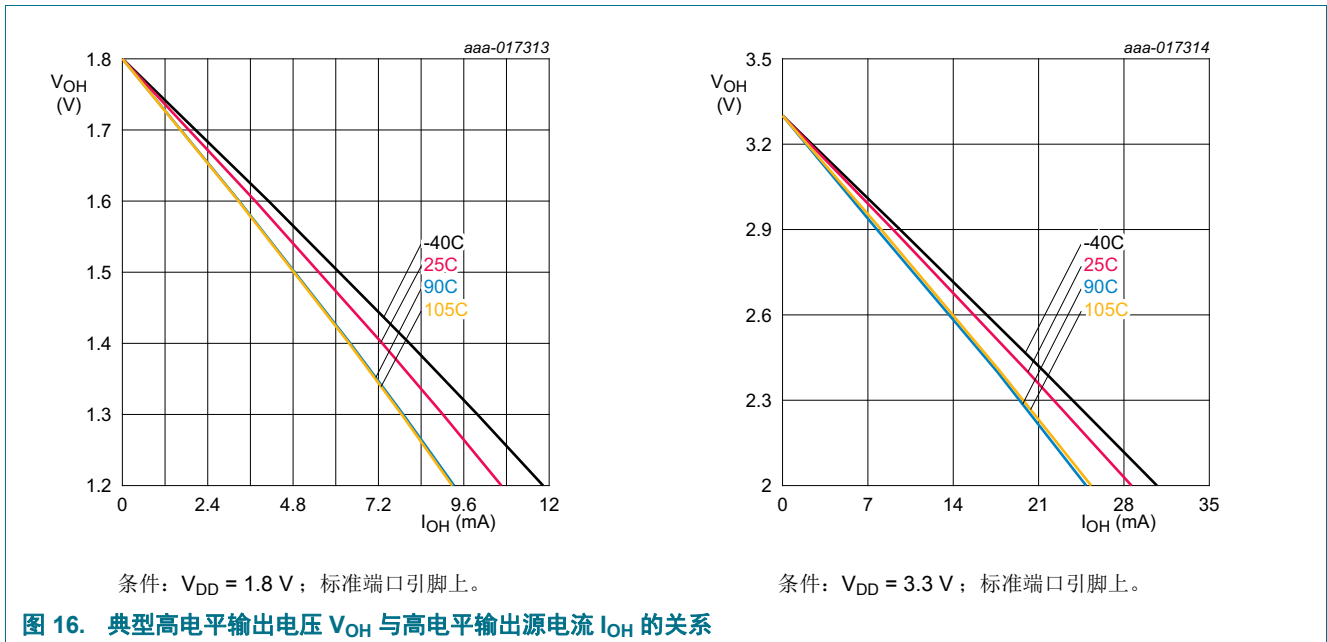
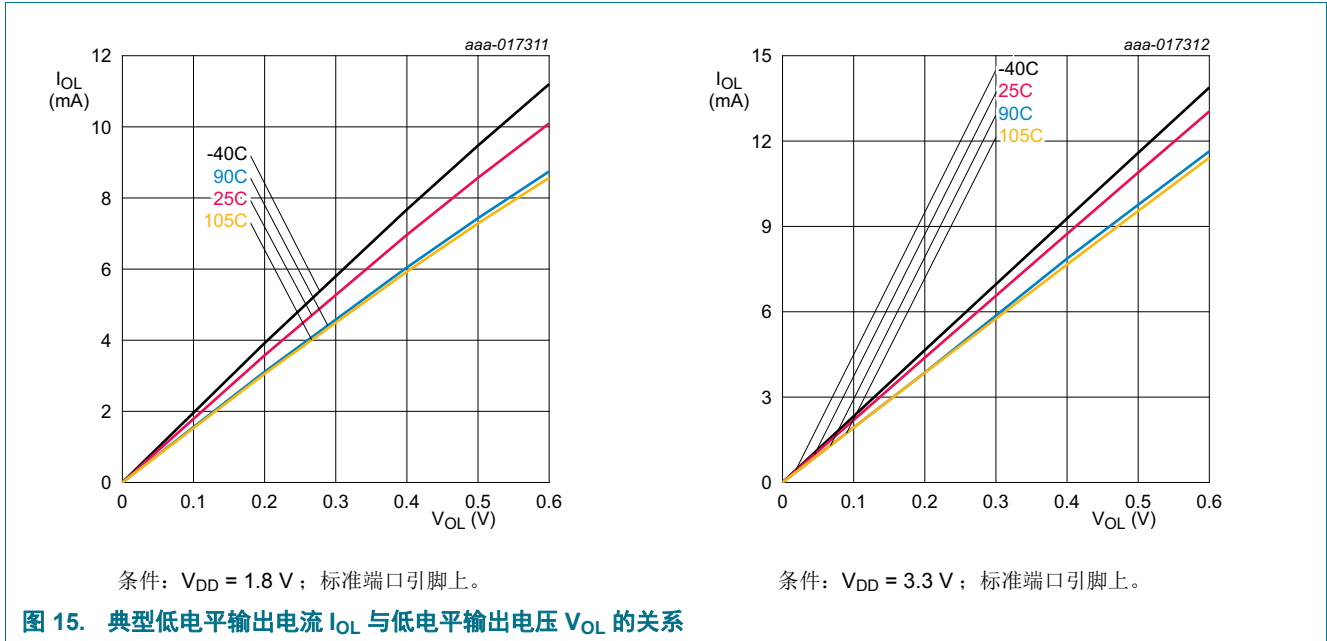
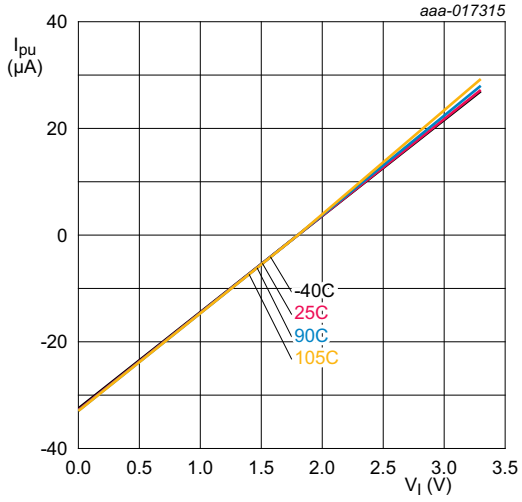
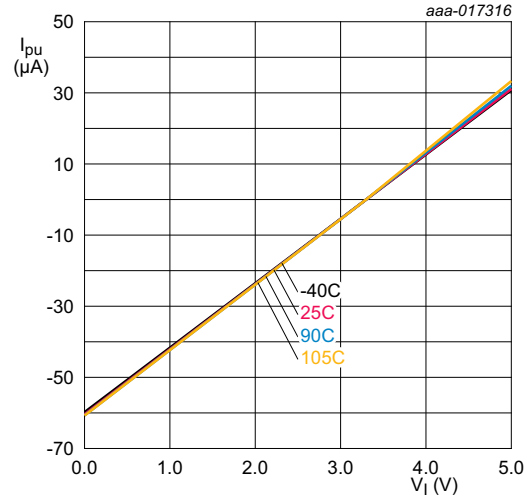


图 14. I²C 总线引脚（高电流灌入）：典型低电平输出电流 I_{OL} 与低电平输出电压 V_{OL} 的关系



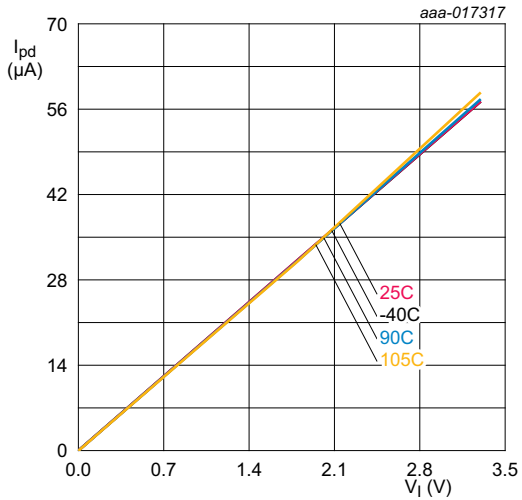


条件: $V_{DD} = 1.8\text{ V}$; 标准端口引脚上。

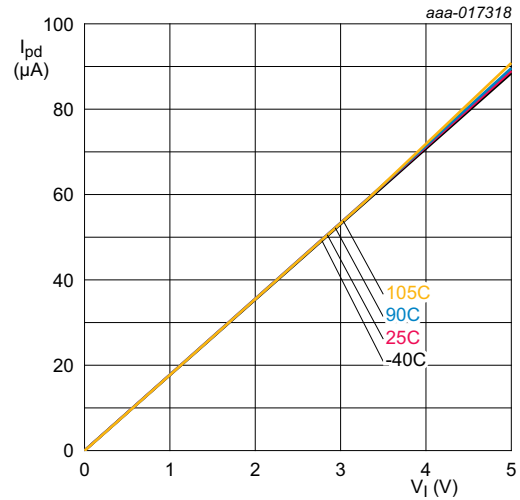


条件: $V_{DD} = 3.3\text{ V}$; 标准端口引脚上。

图 17. 典型上拉电流 I_{PU} 与输入电压 V_I 的关系



条件: $V_{DD} = 1.8\text{ V}$; 标准端口引脚上。



条件: $V_{DD} = 3.3\text{ V}$; 标准端口引脚上。

图 18. 下拉电流 I_{PD} 典型值与输入电压 V_I 的关系

11. 动态特性

11.1 上电斜坡条件

表 17. 上电特性

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$; $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$

符号	参数	条件		最小值	典型值	最大值	单位
t_r	上升时间	$t = t_1$: $0 < V_I \leq 200\text{ mV}$ 时	[1][3]	0	-	500	ms
t_{wait}	等待时间		[1][2]	12	-	-	μs
V_I	输入电压	$t = t_1$ 时, 在引脚 V_{DD} 上	[3]	0	-	200	mV

[1] 请参见图 19。

[2] 基于仿真。在电压提升之前, 等待时间指定为电源必须保持在低于 200 mV 的水平的时间。

[3] 数据基于特性结果, 未在生产中测试。

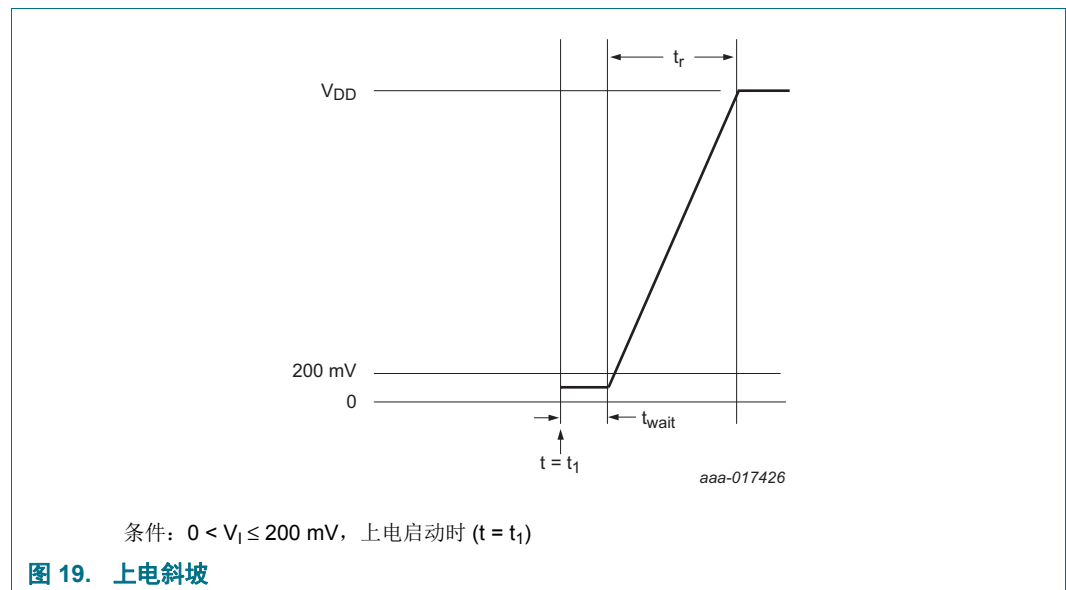


图 19. 上电斜坡

11.2 Flash 存储器

表 18. Flash 特性

除非另有说明, $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$ 。 $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$

符号	参数	条件		最小值	典型值	最大值	单位
N_{endu}	耐久性	扇区擦除 / 编程	[1]	10000	-	-	周期
		页面擦除 / 编程; 扇区中的页面		1000	-	-	周期

表 18. Flash 特性 (续)

除非另有说明, $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$ 。 $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$

符号	参数	条件	最小值	典型值	最大值	单位
t_{ret}	保持时间	通电	10	-	-	年
		未通电	10	-	-	年
t_{er}	擦除时间	页面、扇区或连续多扇区	-	100	-	ms
t_{prog}	编程时间		[2]	1	-	ms

[1] 擦除数量 / 程序周期。

[2] 给出将 512 个字节从 RAM 写入 flash 的编程时间。必须以 512 字节的数据块将数据写入闪存。

11.3 I/O 引脚

表 19. 动态特性: I/O 引脚 [1]

 $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$; $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$

符号	参数	条件	最小值	典型值	最大值	单位	
标准 I/O 引脚 - 正常的驱动性能							
t_r	上升时间	引脚配置为输出; SLEW = 1 (快速模式); $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	[2][3]	1.0	-	2.5	ns
		$1.62\text{ V} \leq V_{DD} \leq 1.98\text{ V}$		1.6	-	3.8	ns
t_f	下降时间	引脚配置为输出; SLEW = 1 (快速模式); $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	[2][3]	0.9	-	2.5	ns
		$1.62\text{ V} \leq V_{DD} \leq 1.98\text{ V}$		1.7	-	4.1	ns
t_r	上升时间	引脚配置为输出; SLEW = 0 (标准模式); $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	[2][3]	1.9	-	4.3	ns
		$1.62\text{ V} \leq V_{DD} \leq 1.98\text{ V}$		2.9	-	7.8	ns
t_f	下降时间	引脚配置为输出; SLEW = 0 (标准模式); $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	[2][3]	1.9	-	4.0	ns
		$1.62\text{ V} \leq V_{DD} \leq 1.98\text{ V}$		2.7	-	6.7	ns
t_r	上升时间	引脚配置为输入	[4]	0.3	-	1.3	ns
t_f	下降时间	引脚配置为输入	[4]	0.2	-	1.2	ns

[1] 仿真数据。

[2] 用 5pF 的 10 厘米 50Ω PCB 布线来模拟输入。在总输出信号电平 80% 和 20% 之间, 测量上升和下降时间。

[3] 压摆率在 IOCON 数据块的 SLEW 位中进行配置。参见 LPC5410x 用户手册。

[4] $C_L = 20\text{ pF}$ 。在总输入信号电平 90% 和 10% 之间, 测量上升和下降时间。

11.4 唤醒过程

表 20. 动态特性：从低功耗模式的典型唤醒时间

 $V_{DD} = 3.3\text{ V}$ ； $T_{amb} = 25\text{ }^{\circ}\text{C}$ ；将 IRC 用作系统时钟。

符号	参数	条件		最小值	典型值 [1]	最大值	单位
t_{wake}	唤醒时间	从睡眠模式	[2][3]	-	1.6	-	μs
		从具有充分 SRAM 保留能力的深度睡眠模式： 到 flash 或 SRAM 中的代码执行	[2]	-	18	-	μs
		从掉电模式 到 flash 中的代码执行	[2]	-	70	-	μs
		到 SRAM 中的代码执行	[2]	-	18	-	μs
		从深度掉电模式；已禁用 RTC；使用 RESET 引脚。	[4]	-	200	-	μs

[1] 无法保证得到典型额定值。列出的值是在室温 (25 °C)、标称电源电压下测得的。

[2] 测量的唤醒时间是指从触发 GPIO 输入引脚以从低功耗模式唤醒器件到在中断服务程序 (ISR) 唤醒处理程序中设置 GPIO 输出引脚的时间。

[3] 使能 IRC，关闭所有外设。

[4] 禁用 RTC。从深度掉电模式唤醒，导致器件完成整个复位过程。测量的唤醒时间是指触发 $\overline{\text{RESET}}$ 引脚以唤醒器件和在复位处理程序中设置 GPIO 输出引脚之间的时间。

11.5 系统 PLL

表 21. PLL 锁定时间和电流

除非另有说明, $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$ 。 $V_{DD} = 1.62\text{ V}$ 至 3.6 V 。

符号	参数	条件		最小值	典型值	最大值	单位
PLL 配置: 输入频率 12 MHz ; 输出频率 75 MHz							
$t_{lock(PLL)}$	PLL 锁定时间	遵循 PLL 设置流程	[2]			400	μs
$I_{DD(PLL)}$	PLL 电流	锁定时	[1][3]	-	-	550	μA
PLL 配置: 输入频率 12 MHz ; 输出频率 100 MHz							
$t_{lock(PLL)}$	PLL 锁定时间	遵循 PLL 设置流程	[2]	-	-	400	μs
$I_{DD(PLL)}$	PLL 电流	锁定时	[1][3]	-	-	750	μA
PLL 配置: 输入频率 32.768 MHz ; 输出频率 75 MHz							
$t_{lock(PLL)}$	PLL 锁定时间	-	[1]			6250	μs
$I_{DD(PLL)}$	PLL 电流	锁定时	[1][3]	-	-	450	μA
PLL 配置: 输入频率 32.768 MHz ; 输出频率 100 MHz							
$t_{lock(PLL)}$	PLL 锁定时间	-	[1]	-	-	6250	μs
$I_{DD(PLL)}$	PLL 电流	锁定时	[1][3]	-	-	560	μA

[1] 21 数据基于特性结果, 未在生产中测试。

[2] PLL 设置需要高速启动和转换至正常模式。仅当在正常模式设置后应用高速启动设置时, 锁定时间才会有效。设置 PLL 的过程描述可参见 LPC5410x 用户手册。

[3] 使用最低 CCO 频率来测量 PLL 电流, 获取所需的输出频率。

表 22. PLL 的动态特性 [1]

符号	参数	条件		最小值	典型值	最大值	单位
参考时钟输入							
F_{in}	输入频率	-		32.768 kHz	-	25 MHz	-
时钟输出							
f_o	输出频率	针对 PLL clkout 输出 [3]		1.2	-	150	MHz
d_o	输出占空比	针对 PLL clkout 输出		46	-	54	%
f_{CCO}	CCO 频率			-	-	150	MHz
锁定检测器输出							
$\Delta_{lock}(PFD)$	PFD 锁定标准		[4]	1	2	4	ns
$f_{out} = f_{CCO} = 100$ MHz 时的动态参数；标准带宽设置							
$J_{rms-interval}$	RMS 间隔抖动	$f_{ref} = 10$ MHz	[5][6]	-	15	30	ps
$J_{pp-period}$	峰值间，周期抖动	$f_{ref} = 10$ MHz	[5][6]	-	40	80	ps

- [1] 数据基于特性结果，未在生产中测试。
 [2] 输出抖动取决于输入抖动的频率，等于或小于输入抖动。
 [3] 不含当 PLL 未锁定时可能会发生的欠冲和过冲。
 [4] PFD (clkref 和 clkfb) 输入之间的相位差异小于 PFD 锁定标准，这意味着锁定输出为高电平。
 [5] 实际抖动取决于基板噪声的幅度和频谱。
 [6] 来自晶体振荡器的输入时钟的峰值间抖动小于 250 ps。

11.6 IRC

表 23. 动态特性：IRC 振荡器

$1.62 V \leq V_{DD} \leq 3.6 V$ 。

符号	参数	条件		最小值	典型值 [1]	最大值	单位
$f_{osc}(RC)$	内部 RC 振荡器频率	$T_{amb} = 25$ °C	[2]	12 -1 %	12	12 +1 %	MHz
		-40 °C $\leq T_{amb} \leq +105$ °C	[3]	12 -3.5 %	12	12 +3 %	MHz
		0 °C $\leq T_{amb} \leq +85$ °C	[3]	12 -2 %	12	12 +2.5 %	MHz

- [1] 无法保证得到典型额定值。上表列出的值是在室温 (25 °C) 下测得的。
 [2] 未经过生产测试。
 [3] 数据基于特性结果，未在生产中测试。

11.7 RTC 振荡器

参见 13.5 章，将 RTC 振荡器连接至晶体或外部时钟源。

表 24. 动态特性：RTC 振荡器

$1.62 V \leq V_{DD} \leq 3.6 V$ [1]

符号	参数	条件		最小值	典型值 [1]	最大值	单位
f_i	输入频率	-		-	32.768	-	kHz

- [1] 无法保证得到典型额定值。列出的值是在室温 (25 °C)、标称电源电压下测得的。

11.8 看门狗振荡器

表 25. 动态特性：看门狗振荡器

符号	参数		最小值	典型值 [1]	最大值	单位
$f_{osc(int)}$	内部看门狗振荡器频率	[2]	-	500	-	kHz
D_{clkout}	clkout 占空比		48	-	52	%
J_{PP-CC}	峰值间周期抖动	[3][4]	-	1	20	ns
t_{start}	启动时间	[4]	-	4	-	μ s

[1] 无法保证得到典型额定值。列出的值是在室温 (25 °C)、标称电源电压下测得的。

[2] 随工艺和温度 ($T_{amb} = -40\text{ °C}$ 至 $+105\text{ °C}$) 而变化的典型频率变化为 $\pm 40\%$ 。

[3] 实际抖动取决于基板噪声的幅度和频谱。

[4] 设计保证。未经过生产采样测试。

11.9 I²C 总线

表 26. 动态特性：I²C 总线引脚 [1]

$T_{amb} = -40\text{ °C}$ 至 $+105\text{ °C}$; $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。 [2]

符号	参数		条件	最小值	最大值	单位
f_{SCL}	SCL 时钟频率		标准模式	0	100	kHz
			快速模式	0	400	kHz
			超快速模式	0	1	MHz
t_f	下降时间	[4][5][6][7]	SDA 和 SCL 信号的 标准模式	-	300	ns
			快速模式	$20 + 0.1 \times C_b$	300	ns
			超快速模式	-	120	ns
t_{LOW}	SCL 时钟的低电平周期		标准模式	4.7	-	μ s
			快速模式	1.3	-	μ s
			超快速模式	0.5	-	μ s
t_{HIGH}	SCL 时钟的高电平周期		标准模式	4.0	-	μ s
			快速模式	0.6	-	μ s
			超快速模式	0.26	-	μ s
$t_{HD;DAT}$	数据保持时间	[3][4][8]	标准模式	0	-	μ s
			快速模式	0	-	μ s
			超快速模式	0	-	μ s
$t_{SU;DAT}$	数据建立时间	[9][10]	标准模式	250	-	ns
			快速模式	100	-	ns
			超快速模式	50	-	ns

[1] 设计保证。未经过生产测试。

[2] 参数在工作温度范围内有效，除非另有说明。详情参见 I²C 总线规范 UM10204。

[3] $t_{HD;DAT}$ 是根据 SCL 的下降沿测量得出的数据保持时间；适用于数据传输和确认。

[4] 对于 SDA 信号，器件的内部必须能够提供至少 300 ns 的保持时间（关于 SCL 信号的 V_{IH} （最小值）），以便桥接 SCL 下降沿的未定义区域。

[5] C_b = 一条总线的总电容（以 pF 为单位）。如果与采用 Hs 模式的器件混用，则允许使用更快的下降时间。

- [6] SDA 和 SCL 总线的最大 t_f 被指定为 300 ns。SDA 输出阶段的最大下降时间 t_f 被指定为 250 ns。这将使得串联保护电阻能够在 SDA 和 SCL 引脚与 SDA/SCL 总线之间进行连接，而不会超出指定的最大 t_f 。
- [7] 在超快速模式中，为输出阶段和总线时序指定的下降时间相同。如果使用串联电阻，那么设计者在考虑总线时序时应考虑及这种情况。
- [8] 标准模式和快速模式的最大 $t_{HD;DAT}$ 可以分别为 3.45 μs 和 0.9 μs ，但必须小于按跃迁时间计算的 $t_{VD;DAT}$ 或 $t_{VD;ACK}$ 的最大值。只有在器件没有延长 SCL 信号的低电平周期 (t_{LOW}) 时，才必须满足此最大值。如果时钟延长了 SCL，则在建立时间之前，数据必须一直有效，然后才能释放时钟。
- [9] $t_{SU;DAT}$ 是根据 SCL 的上升沿测量得出的数据建立时间；适用于数据传输和确认。
- [10] 快速模式 I²C 总线器件可在标准模式 I²C 总线系统中使用，但必须满足 $t_{SU;DAT} = 250$ ns 这一要求。如果器件没有延长 SCL 信号的低电平周期，则会自动默认为这种情况。如果此类器件没有延长 SCL 信号的低电平周期，则它必须将下一个数据位输出到 SDA 线 $t_{r(max)} + t_{SU;DAT} = 1000 + 250 = 1250$ ns（根据标准模式 I²C 总线规格），然后才能释放 SCL 线。此外，应答时序也必须满足此建立时间。

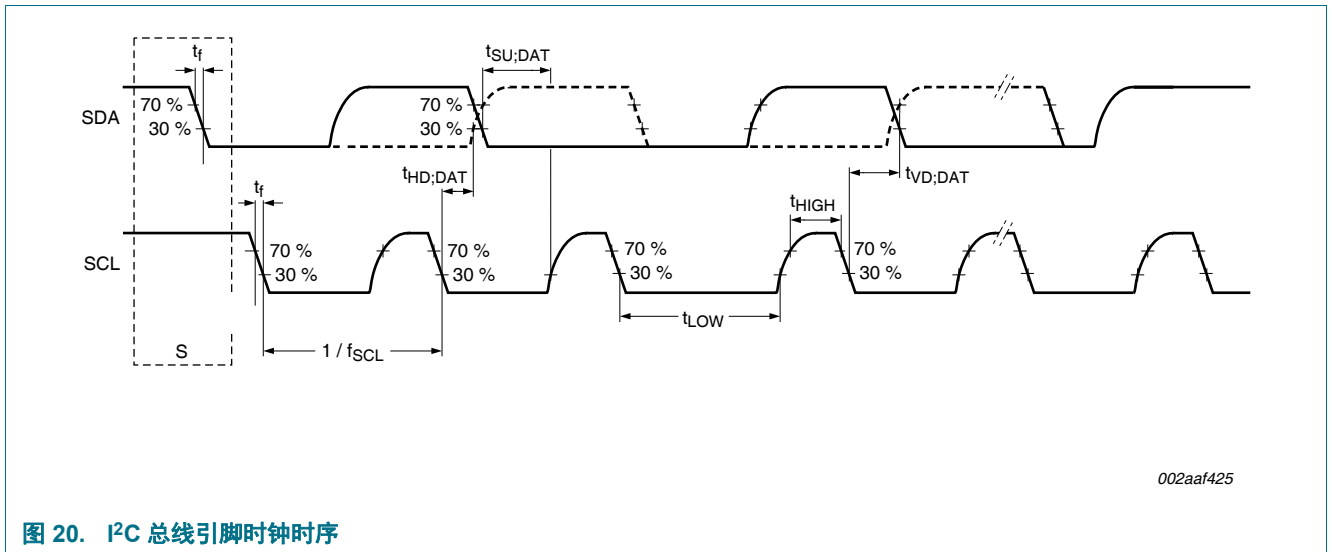


图 20. I²C 总线引脚时钟时序

11.10 SPI 接口

实际 SPI 比特率取决于外部追踪、外部器件、系统时钟 (CCLK) 和电容负载引入的延迟。不含外部器件和 PCB 引入的延迟，支持的 SPI 主机模式最大比特率为 71 Mb/s，支持的 SPI 从机模式最大比特率为 21 Mb/s。

表 27. SPI 动态特性 [1]

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $105\text{ }^{\circ}\text{C}$; $C_L = 30\text{ pF}$ 所有引脚上的均衡负载; $SLEW =$ 标准模式。参数在上升沿或下降沿的 50% 电平处采样。

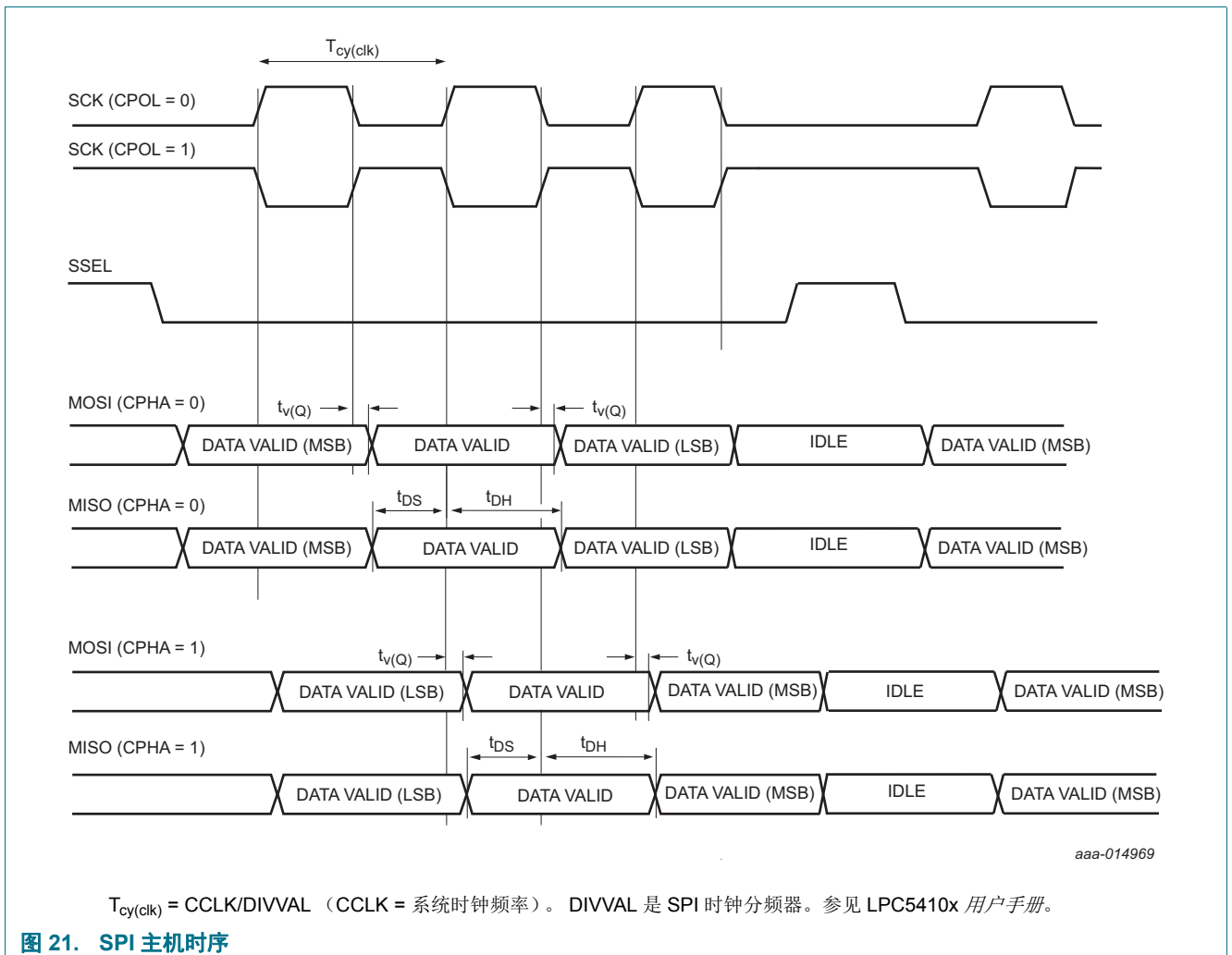
符号	参数	条件	最小值	最大值	单位
SPI 主机 $1.62\text{V} \leq \text{VDD} \leq 2.0\text{ V}$					
t_{DS}	数据建立时间	CCLK = 1 MHz 至 12 MHz	0	-	ns
		CCLK = 48 MHz 至 60 MHz	0	-	ns
		CCLK = 96 MHz	0	-	ns
t_{DH}	数据保持时间	CCLK = 1 MHz 至 12 MHz	14	-	ns
		CCLK = 48 MHz 至 60 MHz	12	-	ns
		CCLK = 96 MHz	9	-	ns
$t_{V(Q)}$	数据输出有效时间	CCLK = 1 MHz 至 12 MHz	0	7	ns
		CCLK = 48 MHz 至 60 MHz	0	2	ns
		CCLK = 96 MHz	0	2	ns
SPI 从机 $1.62\text{V} \leq \text{VDD} \leq 2.0\text{ V}$					
t_{DS}	数据建立时间	CCLK = 1 MHz 至 12 MHz	22	-	ns
		CCLK = 48 MHz 至 60 MHz	4	-	ns
		CCLK = 96 MHz	4	-	ns
t_{DH}	数据保持时间	CCLK = 1 MHz 至 12 MHz	0	-	ns
		CCLK = 48 MHz 至 60 MHz	0	-	ns
		CCLK = 96 MHz	0	-	ns
$t_{V(Q)}$	数据输出有效时间	CCLK = 1 MHz 至 12 MHz	46	70	ns
		CCLK = 48 MHz 至 60 MHz	30	37	ns
		CCLK = 96 MHz	30	36	ns
SPI 主机 $2.7\text{ V} \leq \text{VDD} \leq 3.6\text{ V}$					
t_{DS}	数据建立时间	CCLK = 1 MHz 至 12 MHz	0	-	ns
		CCLK = 48 MHz 至 60 MHz	0	-	ns
		CCLK = 96 MHz	0	-	ns
t_{DH}	数据保持时间	CCLK = 1 MHz 至 12 MHz	10	-	ns
		CCLK = 48 MHz 至 60 MHz	8	-	ns
		CCLK = 96 MHz	7	-	ns
$t_{V(Q)}$	数据输出有效时间	CCLK = 1 MHz 至 12 MHz	0	6	ns
		CCLK = 48 MHz 至 60 MHz	0	1	ns
		CCLK = 96 MHz	0	1	ns

表 27.SPI 动态特性 [1] (续)

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $105\text{ }^{\circ}\text{C}$; $C_L = 30\text{ pF}$ 所有引脚上的均衡负载; $SLEW =$ 标准模式。参数在上升沿或下降沿的 50% 电平处采样。

符号	参数	条件	最小值	最大值	单位
SPI 从机 $2.7\text{V} \leq VDD \leq 3.6\text{V}$					
t_{DS}	数据建立时间	CCLK = 1 MHz 至 12 MHz	21	-	ns
		CCLK = 48 MHz 至 60 MHz	4	-	ns
		CCLK = 96 MHz	3	-	ns
t_{DH}	数据保持时间	CCLK = 1 MHz 至 12 MHz	0	-	ns
		CCLK = 48 MHz 至 60 MHz	0	-	ns
		CCLK = 96 MHz	0	-	ns
$t_{V(Q)}$	数据输出有效时间	CCLK = 1 MHz 至 12 MHz	36	61	ns
		CCLK = 48 MHz 至 60 MHz	21	22	ns
		CCLK = 96 MHz	20	21	ns

[1] 数据基于特性结果, 未在生产中测试。



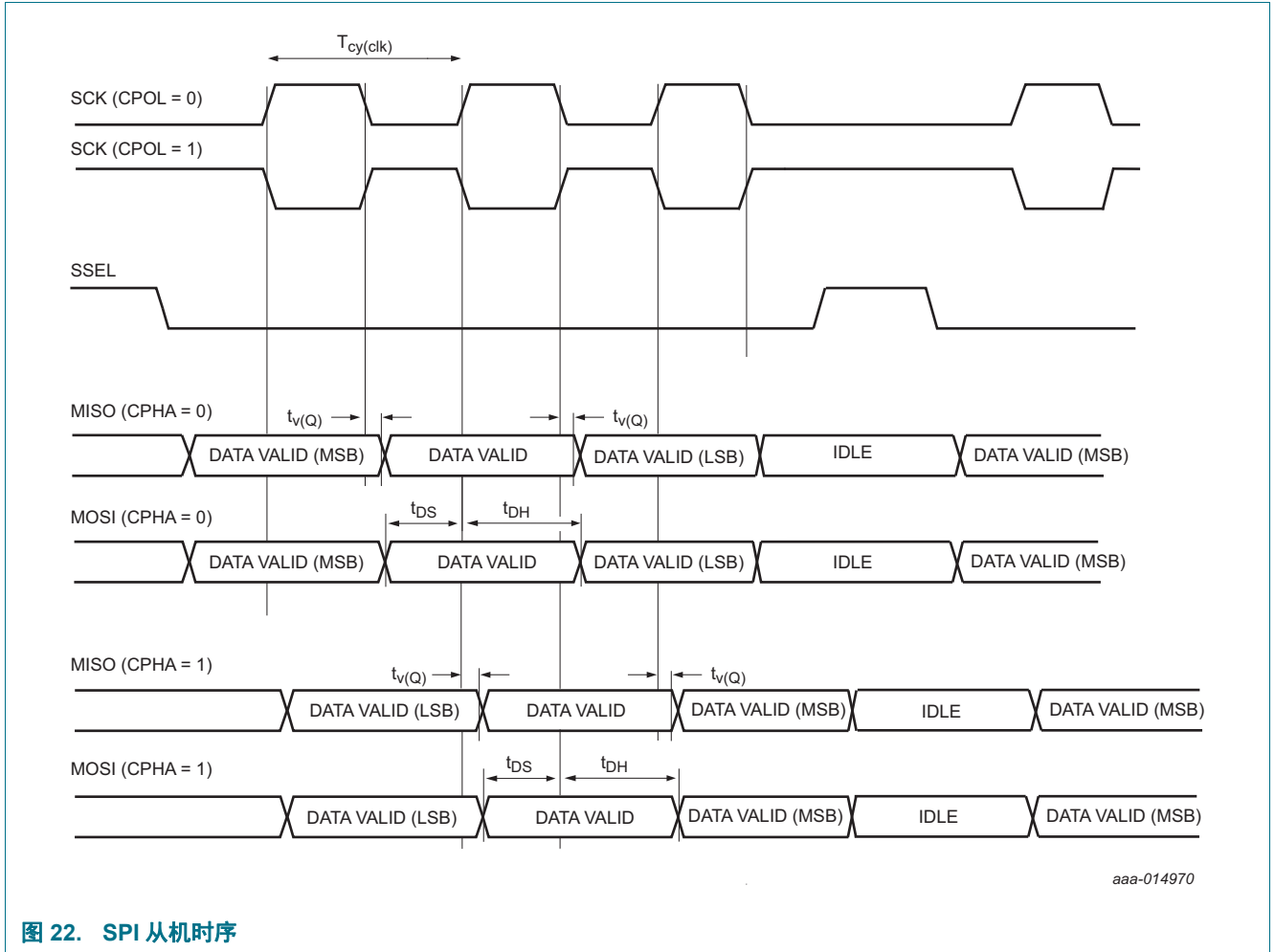


图 22. SPI 从机时序

11.11 USART 接口

实际 USART 比特率取决于外部追踪、外部器件、系统时钟 (CCLK) 和电容负载引入的延迟。不含外部器件和 PCB 引入的延迟，支持的 USART 主机和从机同步模式最大比特率为 24 Mb/s。

表 28. USART 动态特性 [1]

$T_{amb} = -40\text{ °C}$ 至 105 °C ; $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$; $C_L = 30\text{ pF}$ 所有引脚上的均衡负载; $SLEW =$ 标准模式。参数在下降沿或上升沿的 50% 电平处采样。

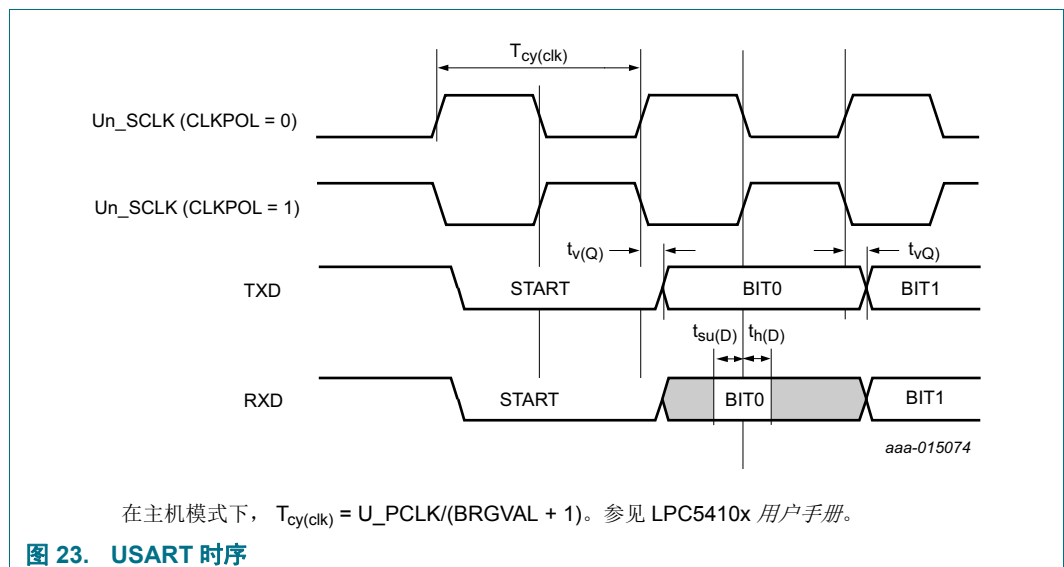
符号	参数	条件	最小值	最大值	单位
USART 主机 (同步模式) $1.62\text{V} \leq V_{DD} \leq 2.0\text{V}$					
$t_{su(D)}$	数据输入建立时间	CCLK = 1 MHz 至 12 MHz	65	-	ns
		CCLK = 48 MHz 至 60 MHz	35	-	ns
		CCLK = 96 MHz	34	-	ns
$t_h(D)$	数据输入保持时间	CCLK = 1 MHz 至 12 MHz	0	-	ns
		CCLK = 48 MHz 至 60 MHz	0	-	ns
		CCLK = 96 MHz	0	-	ns
$t_{v(Q)}$	数据输出有效时间	CCLK = 1 MHz 至 12 MHz	0	8	ns
		CCLK = 48 MHz 至 60 MHz	0	2	ns
		CCLK = 96 MHz	0	2	ns
USART 从机 (同步模式) $1.62\text{V} \leq V_{DD} \leq 2.0\text{V}$					
$t_{su(D)}$	数据输入建立时间	CCLK = 1 MHz 至 12 MHz	18	-	ns
		CCLK = 48 MHz 至 60 MHz	5	-	ns
		CCLK = 96 MHz	4	-	ns
$t_h(D)$	数据输入保持时间	CCLK = 1 MHz 至 12 MHz	0	-	ns
		CCLK = 48 MHz 至 60 MHz	0	-	ns
		CCLK = 96 MHz	0	-	ns
$t_{v(Q)}$	数据输出有效时间	CCLK = 1 MHz 至 12 MHz	50	65	ns
		CCLK = 48 MHz 至 60 MHz	35	40	ns
		CCLK = 96 MHz	30	36	ns
USART 主机 (同步模式) $2.7\text{V} \leq V_{DD} \leq 3.6\text{V}$					
$t_{su(D)}$	数据输入建立时间	CCLK = 1 MHz 至 12 MHz	61	-	ns
		CCLK = 48 MHz 至 60 MHz	22	-	ns
		CCLK = 96 MHz	21	-	ns
$t_h(D)$	数据输入保持时间	CCLK = 1 MHz 至 12 MHz	0	-	ns
		CCLK = 48 MHz 至 60 MHz	0	-	ns
		CCLK = 96 MHz	0	-	ns
$t_{v(Q)}$	数据输出有效时间	CCLK = 1 MHz 至 12 MHz	0	7	ns
		CCLK = 48 MHz 至 60 MHz	1	2	ns
		CCLK = 96 MHz	1	2	ns

表 28. USART 动态特性 [1] (续)

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $105\text{ }^{\circ}\text{C}$; $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$; $C_L = 30\text{ pF}$ 所有引脚上的均衡负载; $SLEW =$ 标准模式。参数在下降沿或上升沿的 50% 电平处采样。

符号	参数	条件	最小值	最大值	单位
USART 从机 (同步模式) $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$					
$t_{su(D)}$	数据输入建立时间	CCLK = 1 MHz 至 12 MHz	21	-	ns
		CCLK = 48 MHz 至 60 MHz	5	-	ns
		CCLK = 96 MHz	4	-	ns
$t_{h(D)}$	数据输入保持时间	CCLK = 1 MHz 至 12 MHz	0	-	ns
		CCLK = 48 MHz 至 60 MHz	0	-	ns
		CCLK = 96 MHz	0	-	ns
$t_{v(Q)}$	数据输出有效时间	CCLK = 1 MHz 至 12 MHz	37	62	ns
		CCLK = 48 MHz 至 60 MHz	22	25	ns
		CCLK = 96 MHz	19	21	ns

[1] 数据基于特性结果, 未在生产中测试。



11.12 SCTimer/PWM 输出时序

表 29. SCTimer/PWM 输出动态特性

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $105\text{ }^{\circ}\text{C}$; $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ $C_L = 30\text{ pF}$ 。任意两个 SCT 固定引脚输出信号 (流程、电压和温度范围内) 的仿真压摆; 在信号的 10% 和 90% 电平处进行采样; 由设计保证的值。

符号	参数	条件	最小值	典型值	最大值	单位
$t_{sk(o)}$	输出压摆时间	-	-	-	3.0	ns

12. 模拟特性

12.1 BOD

表 30. BOD 静态特性

$T_{amb} = 25\text{ }^{\circ}\text{C}$ ；数据基于特性结果，未在生产中测试。

符号	参数	条件	最小值	典型值	最大值	单位
V _{th}	阈值电压	中断电平 0				
		断言	-	2.05	-	V
		解除置位	-	2.20	-	V
V _{th}	阈值电压	中断级别 1				
		断言	-	2.45	-	V
		解除置位	-	2.60	-	V
		复位级别 1				
		断言	-	1.85	-	V
		解除置位	-	2.00	-	V
V _{th}	阈值电压	中断级别 2				
		断言	-	2.75	-	V
		解除置位	-	2.90	-	V
		复位级别 2				
		断言	-	2.00	-	V
		解除置位	-	2.15	-	V
V _{th}	阈值电压	中断级别 3				
		断言	-	3.05	-	V
		解除置位	-	3.20	-	V
		复位级别 3				
		断言	-	2.30	-	V
		解除置位	-	2.45	-	V

12.2 12 位 ADC 特性

表 31.12 12 位 ADC 静态特性

$T_{amb} = -40\text{ °C}$ 至 $+105\text{ °C}$; $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$; $V_{REFP} = V_{DDA}$; $V_{SSA} = V_{REFN} = GND$ 。 ADC 在 $T_{amb} = 25\text{ °C}$ 时校准。

符号	参数	条件		最小值	典型值 [2]	最大值	单位
V_{IA}	模拟输入电压		[3]	0	-	V_{DDA}	V
C_{ia}	模拟输入电容		[4]	-	5	-	pF
$f_{clk(ADC)}$	ADC 时钟频率				-	80	MHz
f_s	采样频率			-	-	5.0	MSPS
E_D	微分线性误差	$V_{DDA} = V_{REFP} = 1.62\text{ V}$	[1][5]	-	± 3	-	LSB
		$V_{DDA} = V_{REFP} = 3.6\text{ V}$			± 2		LSB
$E_{L(adj)}$	积分非线性	$V_{DDA} = V_{REFP} = 1.62\text{ V}$	[1][6]	-	± 5	-	LSB
		$V_{DDA} = V_{REFP} = 3.6\text{ V}$		-	± 2	-	LSB
E_O	偏移误差	使能校准	[1][7]	-	± 5.6	-	mV
$V_{err(FS)}$	满量程误差电压	$V_{DDA} = V_{REFP} = 1.62\text{ V}$	[1][8]	-	± 3		LSB
		$V_{DDA} = V_{REFP} = 3.6\text{ V}$		-	± 3		LSB
Z_i	输入阻抗	$f_s = 5.0\text{ MSPS}$	[9][10]	17.0	-	-	k Ω

[1] 数据基于特性结果；未在生产中测试。

[2] 无法保证得到典型额定值。列出的值是在室温 (25 °C)、标称电源电压下测得的。

[3] ADC 通道 6 至 11 输入电阻高于 ADC 通道 0 至 5。

[4] C_{ia} 代表模拟输入通道的外部电容，采样速度为 5.0 Msamples/s。不含寄生电容。

[5] 微分线性误差 (E_D) 是指实际步长宽度与理想步长宽度之间的差异。请参见图 24。

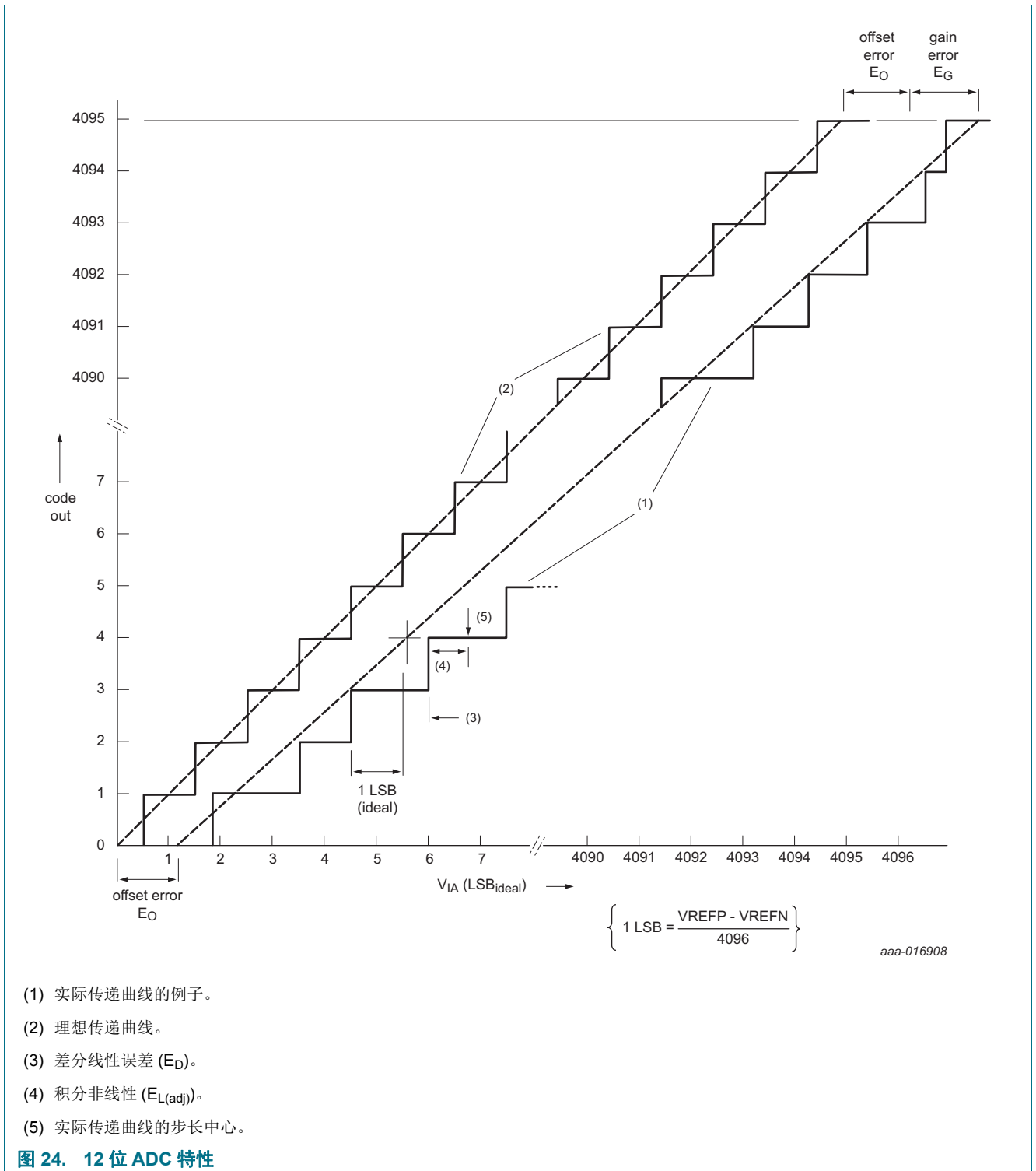
[6] 积分非线性 ($E_{L(adj)}$) 是指在对增益和偏移误差进行适当的调整后，实际与理想传递曲线的步长中心之间的峰值差异。请参见图 24。

[7] 偏移误差 (E_O) 是指拟合实际曲线的直线与拟合理想曲线的直线之间的绝对差异。请参见图 24。

[8] 满量程误差电压或增益误差 (E_G) 是指消除了失调误差后拟合实际传递曲线的直线与拟合理想传递曲线的直线之间的差异。请参见图 24。

[9] $T_{amb} = 25\text{ °C}$; 最大采样频率 $f_s = 5.0\text{ MSPS}$, 模拟输入电容 $C_{ia} = 5\text{ pF}$ 。

[10] 输入阻抗 Z_i 与采样频率和总输入电容 (包括 C_{ia} 和 C_{io}) 成反比: $Z_i \propto 1 / (f_s \times C_i)$ 。参见表 16, 了解 C_{io} 。请参见图 25。



- (1) 实际传递曲线的例子。
- (2) 理想传递曲线。
- (3) 差分线性误差 (E_D)。
- (4) 积分非线性 ($E_{L(adj)}$)。
- (5) 实际传递曲线的步长中心。

图 24. 12 位 ADC 特性

表 32.ADC 采样时间 [1]

 $-40\text{ }^{\circ}\text{C} \leq T_{amb} \leq 85\text{ }^{\circ}\text{C}$; $1.62\text{ V} \leq V_{DDA} \leq 3.6\text{ V}$; $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$

符号	参数	条件		最小值	典型值	最大值	单位
ADC 输入 ADC_5 至 ADC_0 (快速通道) ; ADC 分辨率 = 12 位							
t _s	采样时间	Z _o < 0.05 kΩ	[3]	20	-	-	ns
		0.05 kΩ ≤ Z _o < 0.1 kΩ		23	-	-	ns
		0.1 kΩ ≤ Z _o < 0.2 kΩ		26	-	-	ns
		0.2 kΩ ≤ Z _o < 0.5 kΩ		31	-	-	ns
		0.5 kΩ ≤ Z _o < 1 kΩ		47	-	-	ns
		1 kΩ ≤ Z _o < 5 kΩ		75	-	-	ns
ADC 输入 ADC_5 至 ADC_0 (快速通道) ; ADC 分辨率 = 10 位							
t _s	采样时间	Z _o < 0.05 kΩ	[3]	15	-	-	ns
		0.05 kΩ ≤ Z _o < 0.1 kΩ		18	-	-	ns
		0.1 kΩ ≤ Z _o < 0.2 kΩ		20	-	-	ns
		0.2 kΩ ≤ Z _o < 0.5 kΩ		24	-	-	ns
		0.5 kΩ ≤ Z _o < 1 kΩ		38	-	-	ns
		1 kΩ ≤ Z _o < 5 kΩ		62	-	-	ns
ADC 输入 ADC_5 至 ADC_0 (快速通道) ; ADC 分辨率 = 8 位							
t _s	采样时间	Z _o < 0.05 kΩ	[3]	12	-	-	ns
		0.05 kΩ ≤ Z _o < 0.1 kΩ		13	-	-	ns
		0.1 kΩ ≤ Z _o < 0.2 kΩ		15	-	-	ns
		0.2 kΩ ≤ Z _o < 0.5 kΩ		19	-	-	ns
		0.5 kΩ ≤ Z _o < 1 kΩ		30	-	-	ns
		1 kΩ ≤ Z _o < 5 kΩ		48	-	-	ns
ADC 输入 ADC_5 至 ADC_0 (快速通道) ; ADC 分辨率 = 6 位							
t _s	采样时间	Z _o < 0.05 kΩ	[3]	9	-	-	ns
		0.05 kΩ ≤ Z _o < 0.1 kΩ		10	-	-	ns
		0.1 kΩ ≤ Z _o < 0.2 kΩ		11	-	-	ns
		0.2 kΩ ≤ Z _o < 0.5 kΩ		13	-	-	ns
		0.5 kΩ ≤ Z _o < 1 kΩ		22	-	-	ns
		1 kΩ ≤ Z _o < 5 kΩ		36	-	-	ns
ADC 输入 ADC_11 至 ADC_6 (慢速通道) ; ADC 分辨率 = 12 位							
t _s	采样时间	Z _o < 0.05 kΩ	[3]	43	-	-	ns
		0.05 kΩ ≤ Z _o < 0.1 kΩ		46	-	-	ns
		0.1 kΩ ≤ Z _o < 0.2 kΩ		50	-	-	ns
		0.2 kΩ ≤ Z _o < 0.5 kΩ		56	-	-	ns
		0.5 kΩ ≤ Z _o < 1 kΩ		74	-	-	ns
		1 kΩ ≤ Z _o < 5 kΩ		105	-	-	ns

表 32.ADC 采样时间 [1] (续)

 $-40\text{ }^{\circ}\text{C} \leq T_{amb} \leq 85\text{ }^{\circ}\text{C}$; $1.62\text{ V} \leq V_{DDA} \leq 3.6\text{ V}$; $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$

符号	参数	条件		最小值	典型值	最大值	单位
ADC 输入 ADC_11 至 ADC_6 (慢速通道) ; ADC 分辨率 = 10 位							
t _s	采样时间	Z _o < 0.05 kΩ	[3]	35	-	-	ns
		0.05 kΩ ≤ Z _o < 0.1 kΩ		38	-	-	ns
		0.1 kΩ ≤ Z _o < 0.2 kΩ		40	-	-	ns
		0.2 kΩ ≤ Z _o < 0.5 kΩ		46	-	-	ns
		0.5 kΩ ≤ Z _o < 1 kΩ		61	-	-	ns
		1 kΩ ≤ Z _o < 5 kΩ		86	-	-	ns
ADC 输入 ADC_11 至 ADC_6 (慢速通道) ; ADC 分辨率 = 8 位							
t _s	采样时间	Z _o < 0.05 kΩ	[3]	27	-	-	ns
		0.05 kΩ ≤ Z _o < 0.1 kΩ		29	-	-	ns
		0.1 kΩ ≤ Z _o < 0.2 kΩ		32	-	-	ns
		0.2 kΩ ≤ Z _o < 0.5 kΩ		36	-	-	ns
		0.5 kΩ ≤ Z _o < 1 kΩ		48	-	-	ns
		1 kΩ ≤ Z _o < 5 kΩ		69	-	-	ns
ADC 输入 ADC_11 至 ADC_6 (慢速通道) ; ADC 分辨率 = 6 位							
t _s	采样时间	Z _o < 0.05 kΩ	[3]	20	-	-	ns
		0.05 kΩ ≤ Z _o < 0.1 kΩ		22	-	-	ns
		0.1 kΩ ≤ Z _o < 0.2 kΩ		23	-	-	ns
		0.2 kΩ ≤ Z _o < 0.5 kΩ		26	-	-	ns
		0.5 kΩ ≤ Z _o < 1 kΩ		36	-	-	ns
		1 kΩ ≤ Z _o < 5 kΩ		51	-	-	ns

[1] 通过模拟来描述特性。未经过生产测试。

[2] ADC 的默认采样时间为 2.5 ADC 时钟周期。为匹配给定模拟源输出阻抗，可以通过添加最多 7 个 ADC 时钟周期来延长采样时间，最大采样时间可达到 9.5 个 ADC 时钟周期。查看 ADC CTRL 寄存器中的 TSAMP 位。

[3] Z_o = 模拟源输出阻抗。

12.2.1 ADC 输入阻抗

图 25 显示 ADC 输入阻抗。在这张图中：

- ADCx 代表慢速 ADC 输入通道 6 至 11。
- ADCy 代表快速 ADC 输入通道 0 至 5。
- R_1 和 R_{sw} 是 ADC 输入通道上的开关电阻。
- 如果已选择快速通道（ADC 输入 0 至 5），则 ADC 输入信号会从 R_{sw} 传输至采样电容 (C_{ia})。
- 如果已选择慢速通道（ADC 输入 6 至 11），则 ADC 输入信号会从 $R_1 + R_{sw}$ 传输至采样电容 (C_{ia})。
- 典型值， $R_1 = 487 \Omega$ ， $R_{sw} = 278 \Omega$ 。
- 参见表 16，了解 C_{io} 。
- 参见表 31，了解 C_{ia} 。

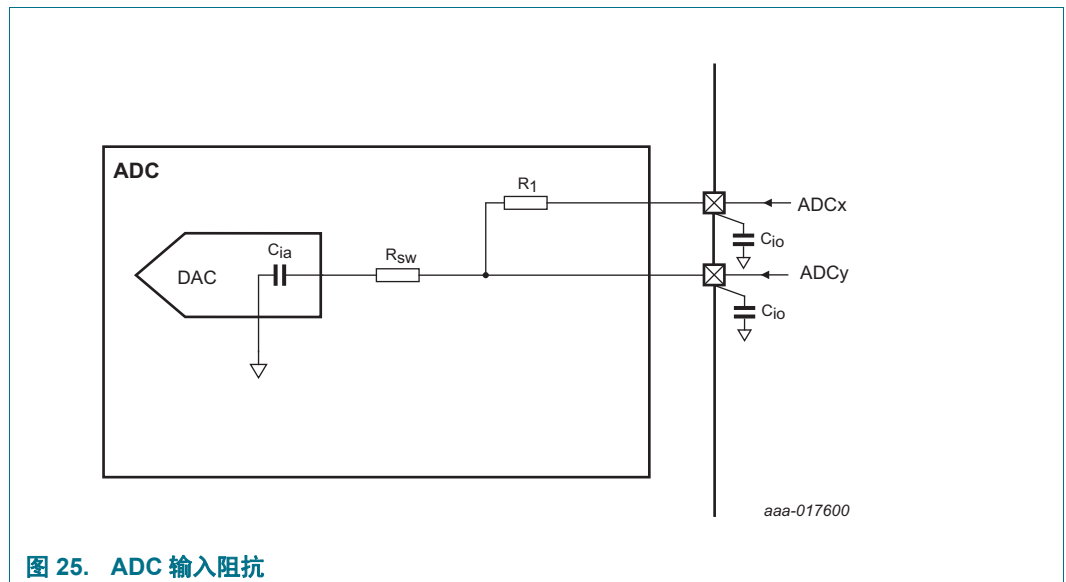


图 25. ADC 输入阻抗

13. 应用信息

13.1 启动行为

图 26 显示复位后的启动定时。IRC 12 MHz 振荡器提供复位时的默认时钟，并可在电源电压到达工作电压之后短时间内提供干净的系统时钟。

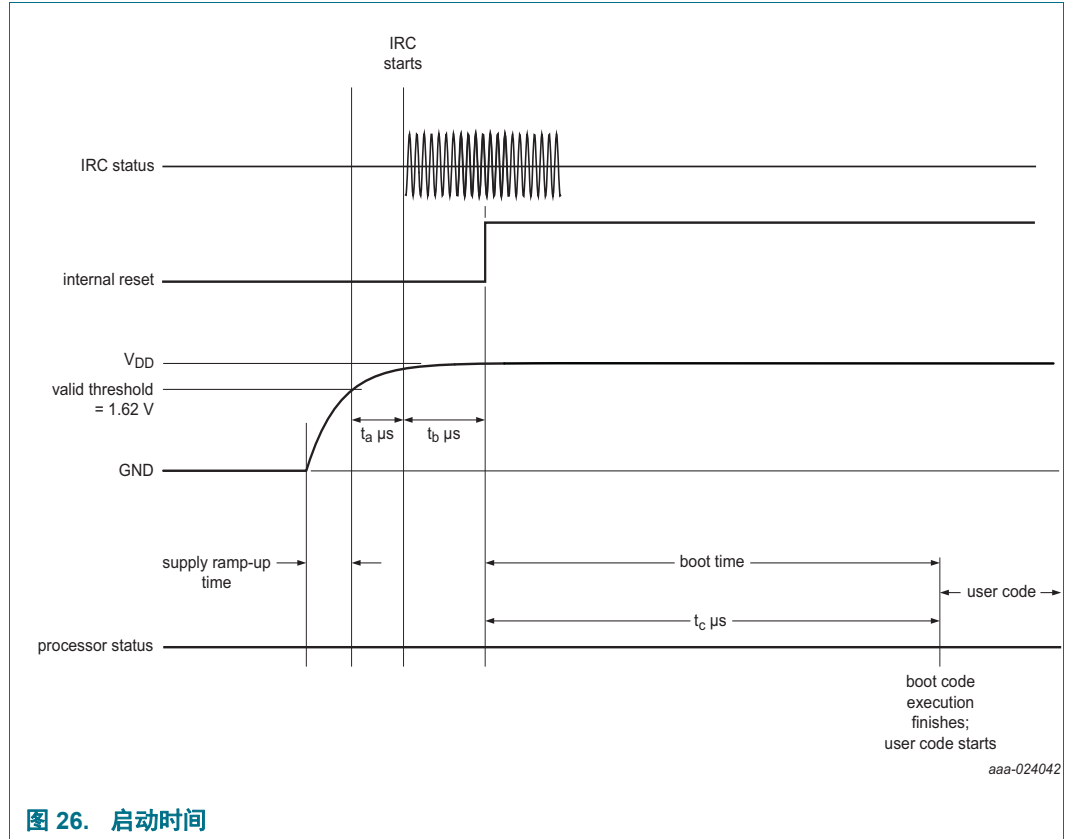


图 26. 启动时间

表 33. 典型的启动时间参数

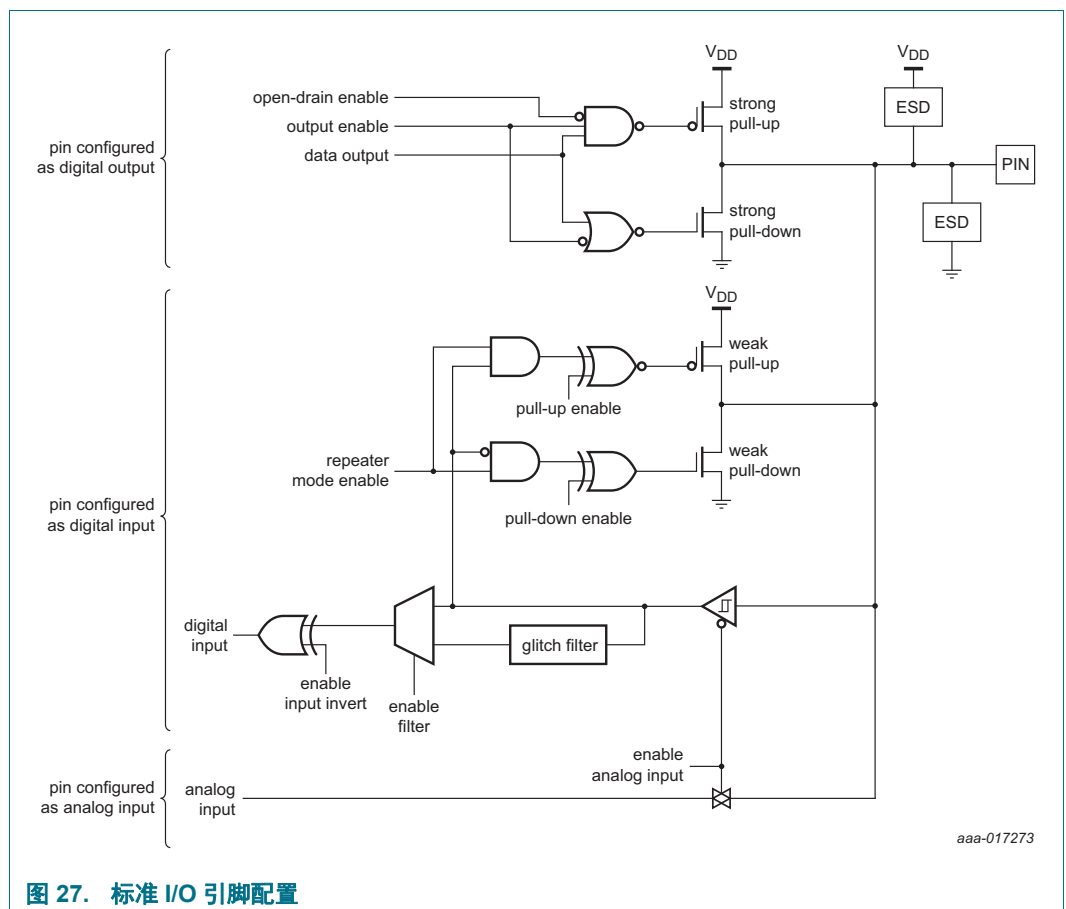
参数	说明	值
t _a	IRC 启动时间	≤ 20 μs
t _b	内部复位解除置位	151 μs
t _c	引导时间	68 μs

13.2 标准 I/O 引脚配置

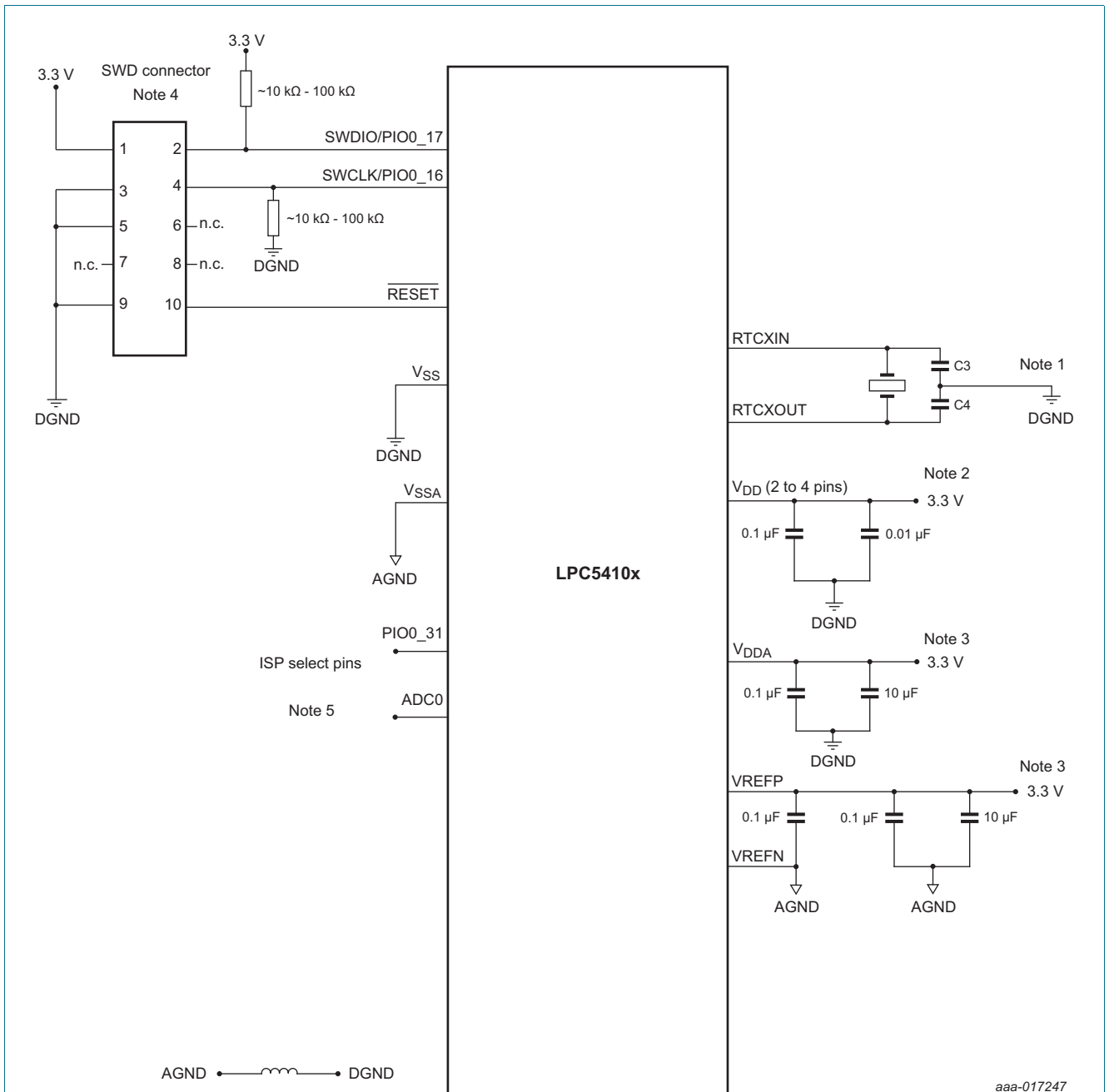
图 27 显示标准 I/O 引脚的可用引脚模式：

- 带可配置开漏输出的数字输出驱动器。
- 数字输入：上拉电阻（PMOS 器件）使能 / 禁用。
- 数字输入：下拉电阻（NMOS 器件）使能 / 禁用。
- 数字输入：中继模式启用 / 禁用。
- 数字输入：可编程输入数字滤波器和输入反相器。
- 模拟输入：可通过 IOCON 寄存器选择。

标准 I/O 引脚的默认配置为启用上拉电阻的输入。弱 MOS 器件的驱动能力与上拉电阻和下拉电阻的相当。



13.3 连接电源、时钟和调试功能



- (1) 参见 13.5 章“RTC 振荡器”，了解 C3 和 C4 的值。
- (2) 将 0.1 μF 和 0.01 μF 去耦电容尽可能靠近 V_{DD} 引脚放置。在每一个 V_{DD} 引脚上添加一组去耦电容。
- (3) 将 0.1 μF 去耦电容尽可能靠近 VREFN 和 V_{DDA} 引脚放置。10 μF 旁路电容过滤电源线。如果未使用 ADC，则将 V_{DDA} 和 VREFP 与 V_{DD} 相连。如果未使用 ADC，则将 VREFN 与 V_{SS} 相连。
- (4) 针对 SWD，使用 ARM 10 引脚接口。
- (5) 测量低频信号时，使用低通滤波器移除噪声并改善 ADC 性能。另请参见参考资料 3。

图 28. 电源、时钟和调试连接

13.4 I/O 功耗

I/O 引脚上的功耗会影响器件的整体静态和动态功耗。

如果引脚配置为使能上拉电阻的数字输入，则静态电流可根据引脚上的电压电平来流动。可以使用表 16 中提供的参数 I_{pu} 和 I_{pd} 来计算该电流。

如果引脚配置为数字输出，则静态电流源自表 16 中显示的参数 I_{OH} 和 I_{OL} 以及任何连接至引脚的外部负载。

在一个应用程序中切换 I/O 引脚时，会增加动态功耗，因为 VDD 电源为所有连接至引脚的内部和外部电容负载提供充电和放电电流。

针对任意给定切换频率 f_{sw} ，如果外部电容负载 (C_{ext}) 已知，I/O 切换电流 I_{sw} 的贡献值可以按以下方法计算（参见表 16，了解内部 I/O 电容）：

$$I_{sw} = V_{DD} \times f_{sw} \times (C_{io} + C_{ext})$$

13.5 RTC 振荡器

在 RTC 振荡器电路中，只需将晶体 (XTAL) 和 CX1 及 CX2 电容与外部 RTCXIN 和 RTCXOUT 引脚相连。请参见图 29。

如果 RTCX2 保持开放，则可以将外部时钟连接至 RTCX1。建议的时钟信号振幅为 $V_{i(RMS)} = 100\text{ mV}$ 至 200 mV ，耦合电容为 5 pF 至 10 pF 。

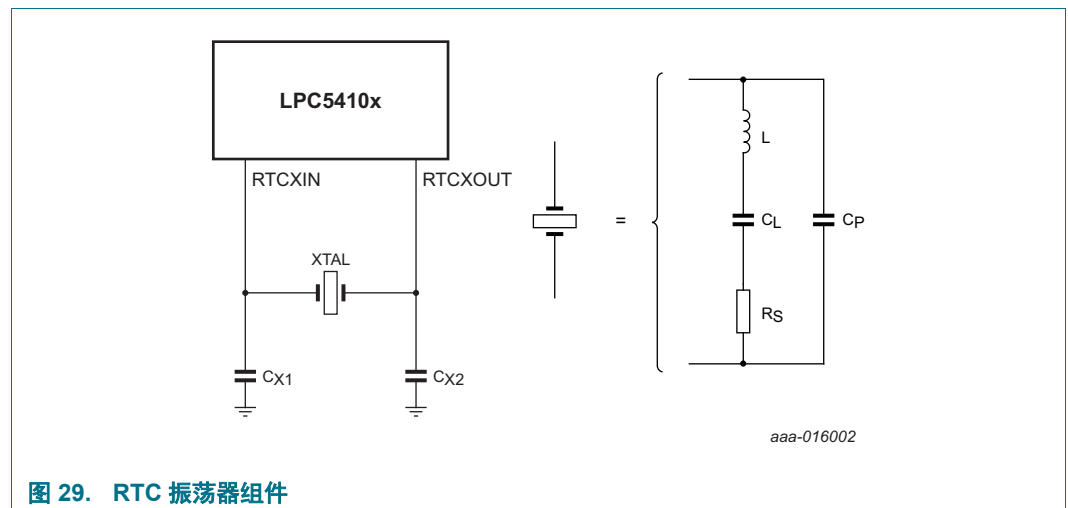


图 29. RTC 振荡器组件

为获得最佳效果，为片上振荡器选择匹配的晶体非常重要。负载电容 (C_L)、串行电阻 (R_S) 和驱动电平 (D_L) 是选择晶体时需要考虑的重要参数。选择合适的晶体后，外部负载电容 C_{X1} 和 C_{X2} 的值通常还可按照如下表达式来确定：

$$C_{X1} = C_{X2} = 2C_L - (C_{Pad} + C_{Parasitic})$$

其中：

C_L - 晶体负载电容。

C_{Pad} - RTCXIN 和 RTCXOUT 引脚的焊板电容 (~3 pF)。

$C_{\text{Parasitic}}$ - 外部电路的寄生电容。

尽管通常可以忽略 $C_{\text{Parasitic}}$ ，实际电路板布局和外部组件的位置会影响外部负载电容的最佳值。因此，建议微调实际硬件电路板上的外部负载电容值，从而获得准确的时钟频率。要进行微调，将 RTC 时钟输出至其中一个 GPIO 并优化外部负载电容的值，从而实现最低频率偏差。

表 34. RTC 外部 32.768 kHz 振荡器 C_L 、 R_S 、 D_L 和 C_{X1}/C_{X2} 组件的建议值

晶体负载电容 C_L	最大晶体串联电阻 R_S	最大晶体驱动电平 D_L	外部负载电容 C_{X1}/C_{X2}
12.5 pF	< 70 k Ω	0.5 μ W	22 pF、22 pF

备注：不建议使用 C_L (< 12.5 pF) 值较低的晶体。

13.5.1 RTC 印刷电路板 (PCB) 设计指南

- 晶体和 PCB 上的外部负载电容与芯片的振荡器输入和输出引脚连接时，应尽可能靠近（20mm 以内）。
- 振荡电路的跟踪长度应尽可能短，不得穿过其他信号线路。
- 如果使用第三个谐波晶体，确保负载电容 C_{X1} 、 C_{X2} 和 C_{X3} 具有一个公共的接地层。
- 环路必须尽可能的小，以使通过 PCB 进行耦合时所产生的噪声和寄生效应尽可能的小。
- 将接地 (GND) 模式布置在晶体单元下。
- 多层 PCB 布线时，不要在晶体单元下布置任何其他信号线路。

14. 封装尺寸

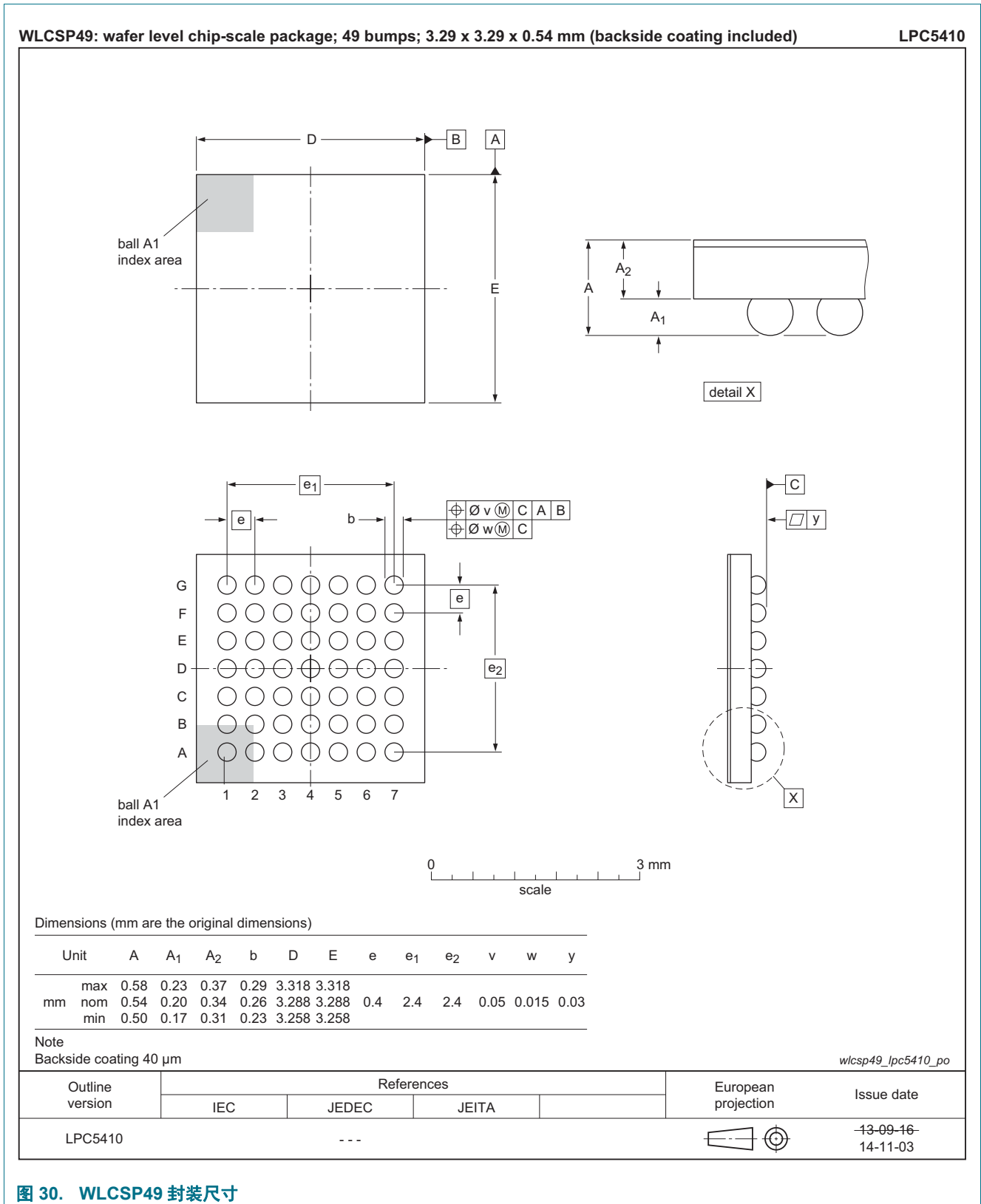
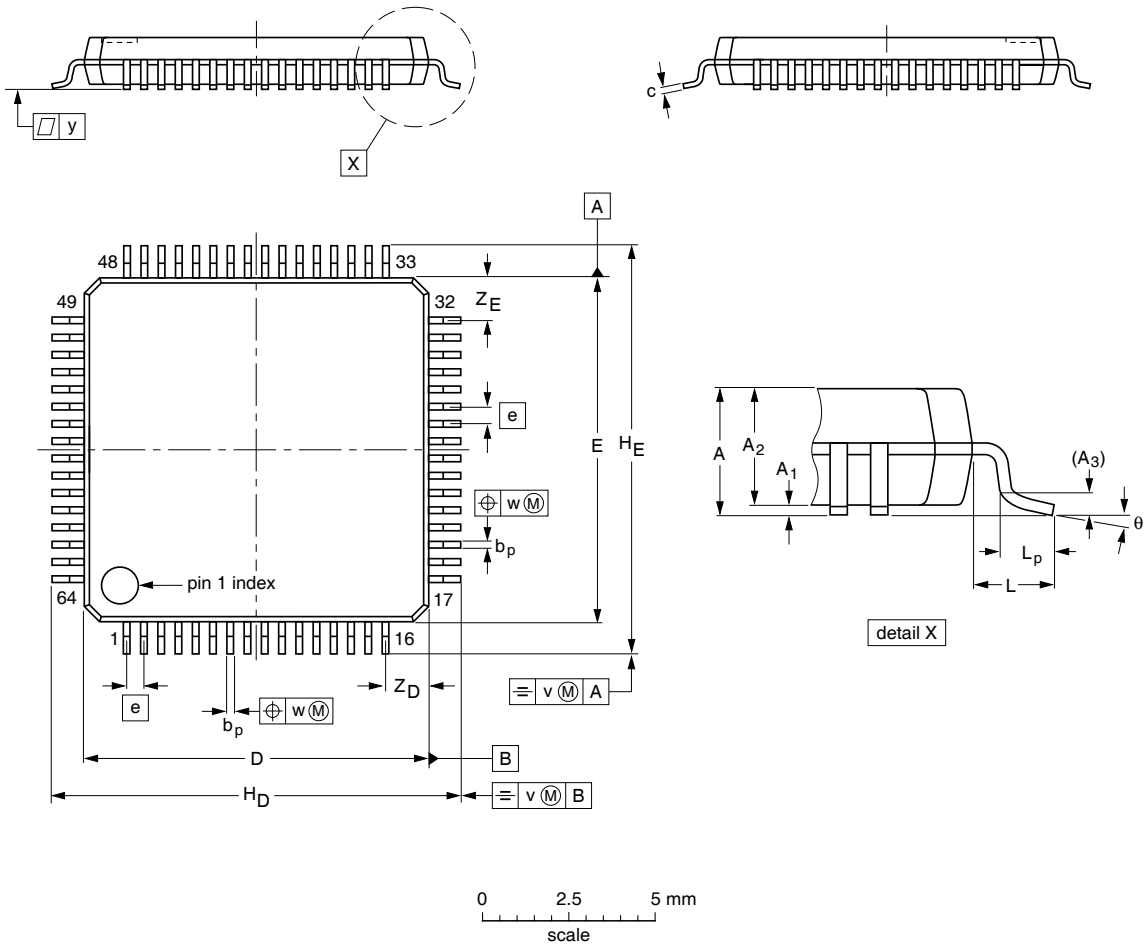


图 30. WLCSP49 封装尺寸

LQFP64: plastic low profile quad flat package; 64 leads; body 10 x 10 x 1.4 mm

SOT314-2



DIMENSIONS (mm are the original dimensions)

UNIT	A ₀ max.	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽¹⁾	e	H _D	H _E	L	L _p	v	w	y	Z _D ⁽¹⁾	Z _E ⁽¹⁾	θ
mm	1.6	0.20 _{0.05}	1.45 _{1.35}	0.25	0.27 _{0.17}	0.18 _{0.12}	10.1 _{9.9}	10.1 _{9.9}	0.5	12.15 _{11.85}	12.15 _{11.85}	1	0.75 _{0.45}	0.2	0.12	0.1	1.45 _{1.05}	1.45 _{1.05}	7 ₀ ^o

Note

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT314-2	136E10	MS-026				00-01-19 03-02-25

图 31. LQFP64 封装尺寸

15. 焊接

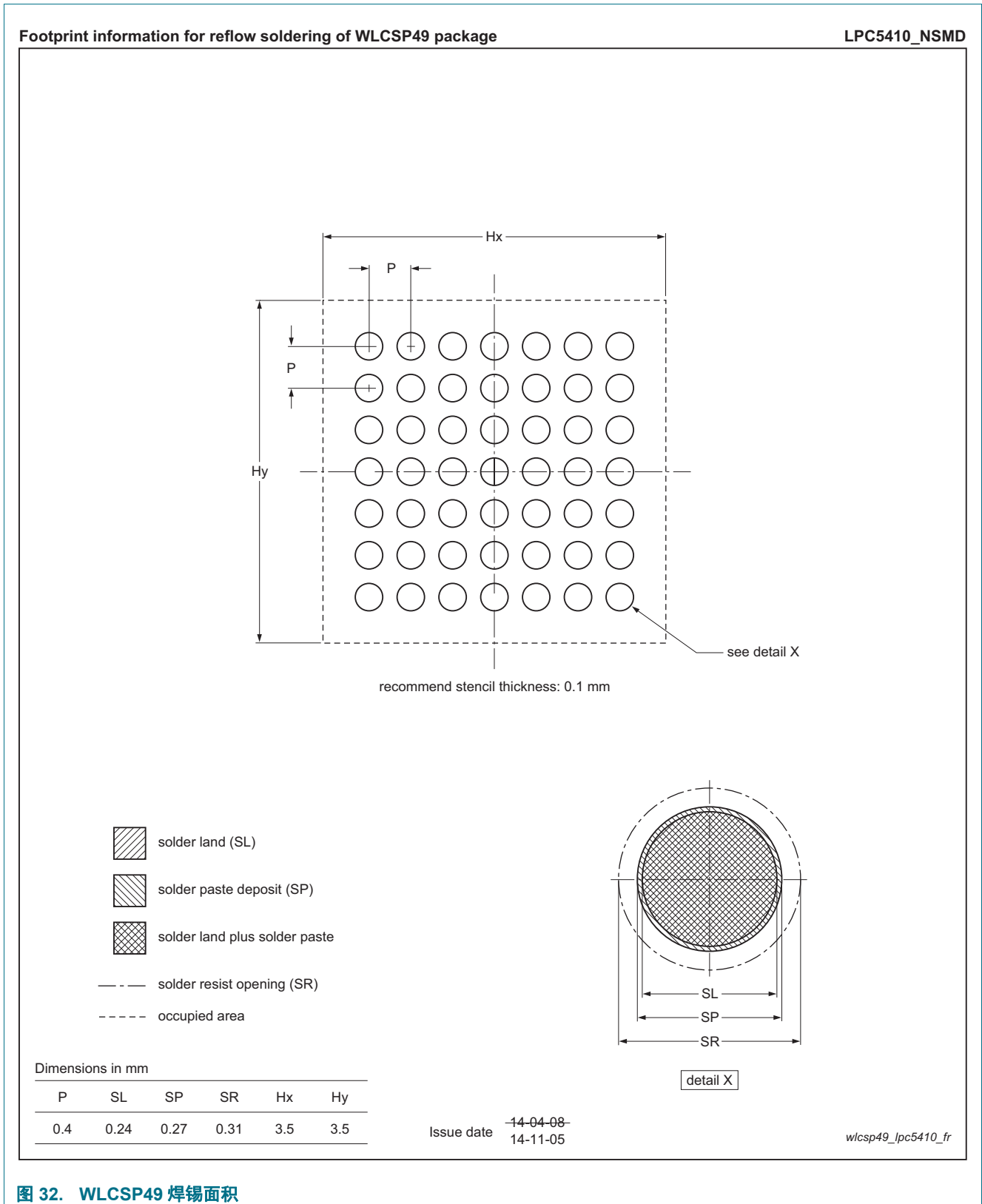


图 32. WLCSP49 焊锡面积

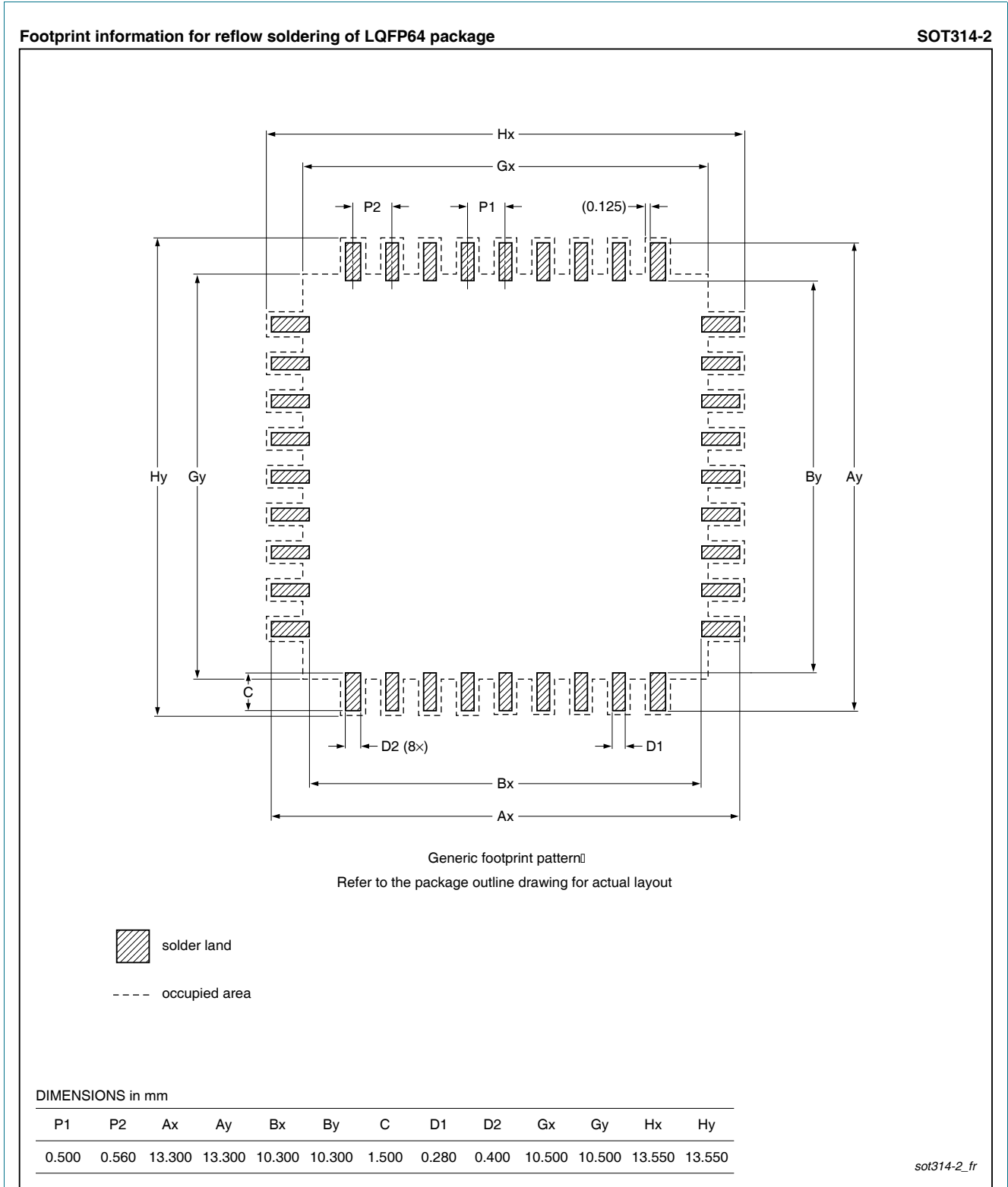


图 33. LQFP64 焊锡面积

16. 缩略词

表 35. 缩略词

首字母缩略词	说明
AHB	高级高性能总线
APB	高级外设总线
API	应用程序编程接口
DMA	直接存储器访问
通用 IO	通用输入 / 输出
IRC	内部 RC
LSB	最低有效位
MCU	微控制器
PLL	锁相环
SPI	串行外设接口
TTL	晶体管 - 晶体管逻辑
USART	通用同步 / 异步串行接收 / 发送器

17. 参考资料

- [1] LPC5410x 用户手册 UM10850:
http://www.nxp.com/documents/user_manual/UM10850.pdf
- [2] LPC5410x 勘误表:
http://www.nxp.com/documents/errata_sheet/ES_LPC5410X.pdf
- [3] 技术笔记 - ADC 设计指南:
http://www.nxp.com/documents/technical_note/TN00009.pdf

18. 修订记录

表 36. 修订记录

文档 ID	发布日期	数据手册状态	更改说明	取代版本
LPC5410x v.2.6	20160926	产品数据手册	-	LPC5410x v2.5
变更内容:	<ul style="list-style-type: none"> 更新了表 12“静态特性: 深度睡眠模式、掉电模式和深度掉电模式下的功耗”: 在深度掉电模式下, 采用外部晶体运行的 RTC 振荡器典型值为 240 nA: $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$, $1.62\text{ V} \leq V_{DD} \leq 2.0\text{ V}$, 除非另有说明。 			
LPC5410x v.2.5	20160913	产品数据手册	-	LPC5410x v2.4
变更内容:	<ul style="list-style-type: none"> 已更新表 10“CoreMark 得分”: 修改了 CoreMark 得分从 flash 执行 CoreMark 代码; CCLK = 84 MHz; 4 个系统时钟的 flash 访问时间; CCLK = 100 MHz; 5 个系统时钟的 flash 访问时间; CCLK = 84 MHz; 5 个系统时钟的 flash 访问时间; CCLK = 100 MHz; 6 个系统时钟的 flash 访问时间。 			
LPC5410x v.2.4	20160711	产品数据手册	-	LPC5410x v2.3
变更内容:	<ul style="list-style-type: none"> 已更新表 27“SPI 动态特性 [1]”: <ul style="list-style-type: none"> - SPI 主机 $1.62\text{ V} \leq V_{DD} \leq 2.0\text{ V}$、$t_{DS}$ 和 $t_{V(Q)}$ 的最小值。 - SPI 从机 $1.62\text{ V} \leq V_{DD} \leq 2.0\text{ V}$、$t_{DS}$ 和 $t_{V(Q)}$ 的最小值。 - SPI 主机 $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$、$t_{DS}$ 的最小值。 - SPI 从机 $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$、$t_{DH}$ 的最小值。 已更新表 28“USART 动态特性 [1]”: <ul style="list-style-type: none"> - USART 主机 (同步模式) $1.62\text{ V} \leq V_{DD} \leq 2.0\text{ V}$、$t_{h(D)}$ 和 $t_{V(Q)}$ 的最小值。 - USART 从机 (同步模式) $1.62\text{ V} \leq V_{DD} \leq 2.0\text{ V}$、$t_{h(D)}$ 的最小值。 - USART 主机 (同步模式) $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$、$t_{h(D)}$ 的最小值。 - USART 从机 (同步模式) $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$、$t_{h(D)}$ 的最小值。 已更新 7.16.2 章“SPI 串行 I/O 控制器”的特性: 支持的 SPI 主机模式最大比特率为 71 Mb/s, 支持的 SPI 从机模式最大比特率为 21 Mb/s。 已更新 7.16.1 章“USART”的特性: 支持的 USART 主机和从机同步模式的最大比特率为 24 Mb/s。 已更新表 22“PLL 的动态特性 [1]”: <ul style="list-style-type: none"> - f_{ref} 更改为 F_{in}; 参考频率更改为输入频率。 - 已删除 $f_{refjitter}$。 已更新 11.10 章“SPI 接口”的描述。 			
LPC5410x v2.3		产品数据手册	-	LPC5410x v2.2
变更内容:	<ul style="list-style-type: none"> 已更新表 18“Flash 特性”: 针对 N_{endu} 条件, 删除了带“页面擦除 / 编程; 较小扇区中的页面 10000”的行并删除了“较大”一词, 更改为“页面擦除 / 编程; 扇区中的页面”。 已更新 7.16.1 章“USART”的特性: 将异步模式中的最大比特率更改为 6.25 Mb/s。 			
LPC5410x v2.2	20151222	产品数据手册	201512007I	LPC5410x v2.1

表 36. 修订记录 (续)

文档 ID	发布日期	数据手册状态	更改说明	取代版本
变更内容:			<ul style="list-style-type: none"> 已更新 11.6 章“IRC”、表 23“动态特性: IRC 振荡器”，从而随温度变化提升 IRC 频率容差。 添加了启动代码版本和器件修订。请参见 4 章“标记”。 在备注中添加了缩写词 ISP：此引脚还可用于在器件复位后强制进入在系统编程模式 (ISP)。参见 LPC5410x 用户手册 (启动过程章节)，了解 PIO0_31 详细信息。请参见 表 4“引脚说明”。 在外设功耗表 表 15“典型 AHB/APB 外设功耗 [3][4][5]” 中删除了 164 uA PLL 规格。 增加了 表 21“PLL 锁定时间和电流”。 已更新 图 10“深度睡眠模式: 电源电流 I_{DD} 典型值与温度的关系 (不同电源电压 V_{DD})”、图 11“掉电模式: 电源电流 I_{DD} 典型值与温度的关系 (不同电源电压 V_{DD})” 和 图 12“深度掉电模式: 电源电流 I_{DD} 典型值与温度的关系 (不同电源电压 V_{DD})”。 已更新 表 12“静态特性: 深度睡眠模式、掉电模式和深度掉电模式下的功耗”：添加了 25 °C 和 105 °C 时深度掉电模式和 25 °C 至 105 °C 时掉电模式的最大值。更改了 25 °C 时深度掉电模式 RTC 振荡器输入接地 (已禁用 RTC 振荡器) 的典型值和最大值；曾经是典型值 = 84 nA，最大值 = 240 nA；现在是典型值 = 160 nA，最大值 = 340 nA。 已更新 表 13“静态特性: 深度睡眠模式、掉电模式和深度掉电模式下的功耗”：添加了 25 °C 和 105 °C 时深度掉电模式和 25 °C 至 105 °C 时掉电模式的最大值。更改了 25 °C 时深度掉电模式 RTC 振荡器输入接地 (已禁用 RTC 振荡器) 的典型值和最大值；曾经是典型值 = 135 nA，最大值 = 470 nA；现在是典型值 = 200 nA，最大值 = 570 nA。 已更新 表 7“限值”：VESD、静电放电电压、人体模型；所有引脚的值都更改为 4000 V；曾经是 5000 V。 已更新 表 31“12 位 ADC 静态特性”：ED 微分线性误差，VDDA = VREFP = 1.62 V 和 3.6 V，典型值 ±3 和 ±2；EL_(adj) 积分非线性，VDDA = VREFP = 1.62 V，典型值 ±5；V_{err(FS)} 满量程误差电压 VDDA = VREFP = 1.62 V 和 3.6 V，典型值 ±3 	
LPC5410x v2.1	< 待定 >	产品数据手册	-	LPC5410x v2.0
变更内容:			<ul style="list-style-type: none"> 已更新 图 3“LPC5410x 结构框图”。已经将同步 APB 桥接更正为异步 APB 桥接。 已经在第 2 节“功能及优势”中，将外部时钟输入的最高时钟频率从 24 MHz 更新为 25 MHz。 已更新 表 12“静态特性: 深度睡眠模式、掉电模式和深度掉电模式下的功耗”。将深度掉电模式的 IDD 最大值单位从 nA 修正为 μA；RTC 振荡器输入接地 (已禁用 RTC 振荡器)，T_{amb} = 105 °C。 	

表 36. 修订记录 (续)

文档 ID	发布日期	数据手册状态	更改说明	取代版本
LPC5410x v2.0	20150417	产品数据手册	-	LPC5410x v1.1
变更内容:	<ul style="list-style-type: none"> • 已经将 ADC 转换速率从 4.8 MSPS 更新为 5.0 MSPS。 • 已添加第 7.14 节“引脚中断 / 模式引擎”。 • 已添加第 7.18.6 节“重复中断定时器 (RIT)”。 • 已更新 44 页上的表 12“静态特性: 深度睡眠模式、掉电模式和深度掉电模式下的功耗”。 • 已更新 49 页上的表 15“静态特性: 引脚特性”。 <ul style="list-style-type: none"> - 除非另有说明, $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$。 $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$。 - 已更新最大和最小值。 • 已添加第 11.1 节“掉电斜坡条件”。 • 已添加第 11.9 节“SPI 接口”、第 11.10 节“USART 接口”和第 11.11 节“SCTimer/PWM 输出定时”。 • 更新了第 11.5 节“IRC”: <ul style="list-style-type: none"> - 已添加温度条件: $T_{amb} = 25\text{ }^{\circ}\text{C}$, $-40\text{ }^{\circ}\text{C} \leq T_{amb} \leq +105\text{ }^{\circ}\text{C}$。 - 已更新最大和最小值。 • 已添加表 14“典型外设功耗”。 • 已添加表 28“12 位 ADC 静态特性”。 <ul style="list-style-type: none"> - $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+105\text{ }^{\circ}\text{C}$。 - E_D、$E_{L(adj)}$、E_O 和 $V_{err(FS)}$ 的值。 • 已添加第 12.2.1 节“ADC 输入阻抗”。 • 已更新 71 页上的图 26“标准 I/O 引脚配置”。 • 对第 13.3 节“I/O 功耗”作了小幅更新。 			
LPC5410x v1.1	20141117	产品数据手册	-	LPC5410x v1.0
变更内容:	<ul style="list-style-type: none"> • 第 1 节作了小幅的文字性更新。 			
LPC5410x v1.0	20141106	产品数据手册	-	-

19. 法律信息

19.1 数据手册状态

文档状态 [1][2]	产品状态 [3]	定义
客观 [缩略版] 数据手册	开发	该文档包含产品开发客观规范的数据。
初始 [缩略版] 数据手册	验证	该文档含有初始规范的数据。
产品 [缩略版] 数据手册	产量	该文档含有产品规范。

[1] 请在开始或完成设计之前查看最新发布文件。

[2] 有关缩略版数据手册的说明见“定义”部分。

[3] 自本文件发布以来，文件中的器件产品状态可能已发生变化；如果存在多个器件，则可能存在差异。欲了解最新产品状态信息，请访问：<http://www.nxp.com>

19.2 定义

初稿 — 本文仅为初稿版本。内容仍在内部审查，尚未正式批准，可能会有进一步修改或补充。恩智浦半导体对本文信息的准确性或完整性不做任何说明或保证，并对因使用此信息而导致的后果不承担任何责任。

缩略版数据手册 — 缩略版数据手册为产品型号和标题完全相同的完全版数据手册的节选。缩略版数据手册仅供快速参考使用，不包括详细和完整的信息。欲了解详细、完整的信息，请查看相关的完整版数据手册，可向当地的恩智浦半导体销售办事处索取。如完整版与缩略版存在任何不一致或冲突，请以完整版为准。

产品规格 — 产品数据手册中提供的信息和数据规定了恩智浦半导体与其客户之间约定的产品规格，恩智浦半导体及客户另行书面说明时除外。在任何情况下，若协议认为恩智浦半导体产品需要具有超出产品数据手册规定的功能和质量，则该协议无效。

19.3 免责声明

有限担保和责任 — 本文中的信息据信是准确和可靠的。但是，恩智浦半导体对此处所含信息的准确性或完整性不做任何明示或暗示的说明或保证，并对因使用此信息而导致的后果不承担任何责任。恩智浦半导体对此文档中超出恩智浦半导体信息源的内容不承担责任。

在任何情况下，对于任何间接、意外、惩罚性、特殊或衍生性损害（包括但不限于利润损失、积蓄损失、业务中断、因拆卸或更换任何产品而产生的开支或返工费

用），无论此等损害是否基于侵权行为（包括过失）、担保、违约或任何其他法理，恩智浦半导体均不承担任何责任。

对于因任何原因给客户带来的任何损害，恩智浦半导体对本文所述产品的总计责任和累积责任仅限于*恩智浦商业销售条款和条件*所规定的范围。

修改权利 — 恩智浦半导体保留对本文所发布的信息（包括但不限于规格和产品说明）随时进行修改的权利，恕不另行通知。本文件将取代并替换之前就此提供的所有信息。

适宜使用 — 恩智浦半导体产品并非设计、授权或担保适合用于生命保障、生命关键或安全关键系统或设备，亦非设计、授权或担保适合用于在恩智浦半导体产品失效或故障时会导致人员受伤、死亡或严重财产或环境损害的应用。恩智浦半导体对在此类设备或应用中加入和/或使用恩智浦半导体产品不承担任何责任，客户需自行承担因加入和/或使用恩智浦半导体产品而带来的风险。

应用 — 本文件所载任何产品的应用只用于例证目的。此类应用如不经进一步测试或修改用于特定用途，恩智浦半导体对其适用性不做任何说明或保证。

客户负责自行利用恩智浦半导体的产品进行设计和应用，对于应用或客户产品设计，恩智浦半导体无义务提供任何协助。客户须自行判断恩智浦半导体的产品是否

适用于其应用和设计计划，以及是否适用于其第三方客户的规划应用。客户须提供适当的设计和操作系统安全保障措施，以降低与应用和产品相关的风险。

对于因客户应用或产品的任何缺陷或故障，或者客户的第三方客户的应用或使用导致的任何故障、损害、开支或问题，恩智浦半导体均不承担任何责任。客户负责对自己基于恩智浦半导体的产品的应用和产品进行所有必要测试，以避免这些应用和产品或者客户的第三方客户的应用或使用存在任何缺陷。恩智浦不承担与此相关的任何责任。

限值 — 超过一个或多个限值（如 IEC 60134 绝对最大额定值体系所规定）会给器件带来永久性损坏。限值仅为强度额定值，若设备工作于这些条件下或者超过“建议工作条件部分”（若有）或者本文档“特性”部分规定的条件下，则不在担保范围之内。持续或反复超过限值将对设备的质量和可靠性造成永久性、不可逆转的影响。

商业销售条款和条件 — 除非有效书面单项协议另有规定，恩智浦半导体的产品的销售遵循关于商业销售的一般条款和条件（见 <http://www.nxp.com/profile/terms>）。如果只达成了单项协议，则该协议的条款和条件适用。恩智浦半导体特此明确反对，应用客户就其购买恩智浦半导体的产品而制定的一般条款和条件。

– 20. 联系信息

有关详细信息，请访问：<http://www.nxp.com>

欲咨询销售办事处地址，请发送电子邮件至：salesaddresses@nxp.com

无销售或许可要约 — 本文件中的任何信息均不得被理解或解释为对承诺开放的销售产品的要约，或者授予、让与或暗示任何版权、专利或其他工业或知识产权的任何许可。

出口管制 — 本文件以及此处所描述的产品可能受出口法规的管制。出口可能需要事先经国家主管部门批准。

非汽车应用产品 — 除非本数据手册明确表示，恩智浦半导体的本特定产品适用于汽车应用，否则，均不适用于汽车应用。未根据汽车测试或应用要求进行验证或测试。对于在汽车器件或应用中包括和 / 或使用非汽车应用产品的行为，恩智浦半导体不承担任何责任。

客户将产品用于设计导入以及符合汽车规范和标准的汽车应用时，客户 (a) 若使用产品，则恩智浦半导体不对产品的此等汽车应用、用途和规范作任何担保；并且 (b) 若客户使用恩智浦半导体所提供规格以外的产品用于汽车应用，须自行承担所有风险；并且 (c) 对于因客户设计以及客户超出恩智浦半导体标准担保范围和恩智浦半导体所提供规格使用非汽车应用产品而导致的任何责任、损害或产品故障索赔，客户须免除恩智浦半导体的全部责任。

19.4 商标

注意：所有引用的品牌、产品名称、服务名称以及商标均为其各自所有者的财产。

IPC 总线 — 标志是恩智浦的商标。

21. 内容

1	简介	1	7.18.3.1	特性	29
2	特性和优势	1	7.18.4	RTC 定时器	30
3	订购信息	4	7.18.4.1	特性	30
3.1	订购选项	4	7.18.5	多速率定时器 (MRT)	30
4	标记	4	7.18.5.1	特性	30
5	功能框图	6	7.18.6	重复性中断定时器 (RIT)	30
6	引脚信息	7	7.18.6.1	特性	31
6.1	引脚配置	7	7.18.7	Micro-tick 定时器 (UTICK)	31
6.2	引脚说明	9	7.18.7.1	特性	31
6.2.1	未使用引脚的端接	19	7.19	12 位模数转换器 (ADC)	31
6.2.2	不同电源模式下的引脚状态	19	7.19.1	特性	31
7	功能说明	20	7.20	系统控制	32
7.1	架构概述	20	7.20.1	时钟源	32
7.2	ARM Cortex-M4 处理器	20	7.20.1.1	内部 RC 振荡器 (IRC)	32
7.3	ARM Cortex-M4 集成了浮点单元 (FPU)	20	7.20.1.2	看门狗振荡器 (WDOSC)	32
7.4	存储器保护单元 (MPU)	20	7.20.1.3	时钟输入引脚 (CLKIN)	32
7.5	Cortex-M4 的可嵌套中断向量控制器 (NVIC)	21	7.20.2	系统 PLL	32
7.5.1	特性	21	7.20.3	时钟生成	33
7.5.2	中断源	21	7.20.4	功耗控制	33
7.6	ARM Cortex-M0+ 协处理器	21	7.20.4.1	睡眠模式	34
7.7	Cortex-M0+ 的可嵌套中断向量控制器 (NVIC)	21	7.20.4.2	深度睡眠模式	34
7.7.1	特性	21	7.20.4.3	掉电模式	34
7.7.2	中断源	22	7.20.4.4	深度掉电模式	35
7.8	系统节拍定时器 (SysTick)	22	7.20.5	欠压检测	35
7.9	片内静态 RAM	22	7.20.6	安全	35
7.10	片上 flash	22	7.21	代码安全性 (代码读取保护 - CRP)	35
7.11	片上 ROM	22	7.22	仿真和调试	36
7.12	存储器映射	23	8	限值	37
7.13	通用 I/O (GPIO)	24	9	热学特性	39
7.13.1	特性	24	10	静态特性	40
7.14	引脚中断 / 模式引擎	24	10.1	一般工作条件	40
7.14.1	特性	24	10.2	CoreMark 数据	40
7.15	AHB 外设	25	10.3	功耗	42
7.15.1	DMA 控制器	25	10.4	引脚特性	50
7.15.1.1	特性	25	10.4.1	电气引脚特性	53
7.16	数字串行外围设备	25	11	动态特性	56
7.16.1	USART	25	11.1	上电斜坡条件	56
7.16.1.1	特性	25	11.2	Flash 存储器	56
7.16.2	SPI 串行 I/O 控制器	26	11.3	I/O 引脚	57
7.16.2.1	特性	26	11.4	唤醒过程	58
7.17	I ² C 总线接口	27	11.5	系统 PLL	59
7.17.1	特性	27	11.6	IRC	60
7.18	计数器 / 定时器	27	11.7	RTC 振荡器	60
7.18.1	32 位通用定时器 / 外部事件计数器	27	11.8	看门狗振荡器	61
7.18.1.1	特性	27	11.9	I ² C 总线	61
7.18.2	状态可配置定时器 / PWM (SCTimer/PWM)	28	11.10	SPI 接口	63
7.18.2.1	特性	29	11.11	USART 接口	66
7.18.3	窗口化看门狗定时器 (WWDG)	29	11.12	SCTimer/PWM 输出时序	67

续 >>

12	模拟特性	68
12.1	BOD	68
12.2	12 位 ADC 特性	69
12.2.1	ADC 输入阻抗	73
13	应用信息	74
13.1	启动行为	74
13.2	标准 I/O 引脚配置	75
13.3	连接电源、时钟和调试功能	76
13.4	I/O 功耗	77
13.5	RTC 振荡器	77
13.5.1	RTC 印刷电路板 (PCB) 设计指南	78
14	封装尺寸	79
15	焊接	81
16	缩略词	83
17	参考资料	83
18	修订记录	84
19	法律信息	87
19.1	数据手册状态	87
19.2	定义	87
19.3	免责声明	87
19.4	商标	88
20	联系信息	88
21	内容	89

Please be aware that important notices concerning this document and the product(s) described herein, have been included in section 'Legal information'.

© NXP Semiconductors N.V. 2016.

All rights reserved.

For more information, please visit: <http://www.nxp.com>

For sales office addresses, please send an email to: salesaddresses@nxp.com

Date of release: 2016 年 9 月

Document identifier: LPC5410x