



LPC122x 产品数据手册

32-位 ARM Cortex-M0 微控制器，高达 128KB Flash 和 8 KB SRAM

Rev. 1.2 – 2011 年 3 月 29 日

产品数据手册

1. 概述

LPC122x系列继续扩展了恩智浦的32位微控制器产品，定位于工业和家庭自动化领域的广泛应用。得益于ARM Cortex-M0的Thumb指令集，LPC12xx可以在执行典型任务时将代码密度较8位/16位单片机提高50%。LPC122x还拥有为Cortex-M0设计而优化的基于ROM的除法库。它的算术性能是基于软件的算法库的数倍，并且有高度确定的周期时间，同时也减少了Flash的代码量。

Cortex-M0的高效率，也有助于LPC122x在相同应用中实现较低的平均功耗。

LPC122x的CPU工作频率最高达45MHz。它提供了较宽容量的Flash存储器，从32KB到128KB。Flash存储器的擦除扇区为512字节，这可以带来许多设计上的好处，比如更好地模拟EEPROM，从任何串行接口引导加载程序，方便进行现场编程（这减少了对片内RAM缓冲的要求）。

LPC122x的外设组件包括一个10位ADC、两个带有输出反馈的模拟比较器、两个UART接口、一个SSP/SPI接口、一个带有Fast-mode Plus功能的I²C接口、一个窗式看门狗定时器、一个DMA控制器、一个CRC模块、四个通用定时器、一个32位RTC、一个精度为1%的内部振荡器（用于波特率产生）和多达55个通用I/O引脚。

2. 功能和特性

- 系统：
 - ARM Cortex-M0 处理器，工作频率高达45MHz（Flash一个等待状态）或30MHz（Flash零等待状态）。LPC122x在CoreMark的CPU性能基准测试中取得了超过45分的高分（相当于1.51/MHz）
 - ARM Cortex-M0 处理器内置有嵌套向量中断控制器 (NVIC)
 - 串行线调试 (SWD)
 - 系统节拍定时器
- 存储器：
 - 最高8kB的SRAM
 - 最高128kB的片内Flash程序存储器
 - 通过片内Bootloader软件来实现在系统编程 (ISP) 和在应用编程 (IAP)
 - 基于ROM的32位整数除法例程
- 时钟产生单元：
 - 晶体振荡器的工作范围为1MHz~25MHz
 - 12MHz内部RC振荡器可调节到1%的精度，可以选择用作系统时钟
 - PLL允许CPU无需使用高频晶体而工作在最大CPU速率下，时钟可以由系统振荡器或内部RC振荡器提供
 - 带分频器的时钟输出功能，可以映射到主振荡器时钟、IRC时钟、CPU时钟或看门狗时钟
 - 实时时钟 (RTC)

- 数字外设：
 - 21通道Micro DMA控制器
 - 硬件CRC模块
 - 两个带有小数波特率发生器和内部FIFO的UART。其中一个带RS-485并支持调制解调器，另一个为带IrDA的标准UART
 - SSP/SPI控制器，带FIFO和多协议功能
 - I2C总线接口，完全支持I2C总线规范和Fast-mode Plus模式，数据速率为1Mbit/s，具有多地址识别功能和监控模式。I2C总线的引脚带可编程的干扰滤波功能
 - 多达55个通用I/O (GPIO) 引脚，可编程为上拉、开漏模式，可编程的数字输入干扰滤波功能，可编程的输入反向
 - 所有引脚都带可编程的输出驱动。4个引脚支持大驱动电流16mA
 - GPIO均可配置为边沿或者电平中断
 - 四个通用定时/计数器，带有四个捕获输入和四个匹配输出（32位定时器）或两个捕获输入和两个匹配输出（16位定时器）
 - 窗式看门狗定时器 (WWDT)
- 模拟外设：
 - 一个8通道10位ADC
 - 两个高度灵活的模拟比较器，模拟比较器的输出可以编程为触发定时器的匹配信号，也可用作模拟555定时器
- 电源
 - 三种低功耗模式：睡眠模式、深度睡眠模式和深度掉电模式
 - 通过12个拥有专用起始逻辑的引脚可将处理器从深度睡眠模式中唤醒
 - 可以通过实时时钟 (RTC) 将处理器从深度睡眠模式和深度掉电模式中唤醒
 - 掉电检测，支持三个独立的阈值，每个都可产生中断和强制复位
 - 上电复位 (POR)
 - 集成了PMU（电源管理单元）
- 唯一的器件序列号
- 3.3V电源供电
- 提供64引脚和48引脚的LQFP封装

3. 应用

- 电子测量
- 照明
- 警报系统
- 工业网络
- 白色家电

4. 订购信息

表1. 订购信息

Type number	Package		
	Name	Description	Version
LPC1227FBD64/301	LQFP64	LQFP64: plastic low profile quad flat package; 64 leads; body 10×10×1.4 mm	SOT314-2
LPC1226FBD64/301	LQFP64	LQFP64: plastic low profile quad flat package; 64 leads; body 10×10×1.4 mm	SOT314-2
LPC1225FBD64/321	LQFP64	LQFP64: plastic low profile quad flat package; 64 leads; body 10×10×1.4 mm	SOT314-2
LPC1225FBD64/301	LQFP64	LQFP64: plastic low profile quad flat package; 64 leads; body 10×10×1.4 mm	SOT314-2
LPC1224FBD64/121	LQFP64	LQFP64: plastic low profile quad flat package; 64 leads; body 10×10×1.4 mm	SOT314-2
LPC1224FBD64/101	LQFP64	LQFP64: plastic low profile quad flat package; 64 leads; body 10×10×1.4 mm	SOT314-2
LPC1227FBD48/301	LQFP48	LQFP48: plastic low profile quad flat package; 48 leads; body 7×7×1.4 mm	SOT313-2
LPC1226FBD48/301	LQFP48	LQFP48: plastic low profile quad flat package; 48 leads; body 7×7×1.4 mm	SOT313-2
LPC1225FBD48/321	LQFP48	LQFP48: plastic low profile quad flat package; 48 leads; body 7×7×1.4 mm	SOT313-2
LPC1225FBD48/301	LQFP48	LQFP48: plastic low profile quad flat package; 48 leads; body 7×7×1.4 mm	SOT313-2
LPC1224FBD48/121	LQFP48	LQFP48: plastic low profile quad flat package; 48 leads; body 7×7×1.4 mm	SOT313-2
LPC1224FBD48/101	LQFP48	LQFP48: plastic low profile quad flat package; 48 leads; body 7×7×1.4 mm	SOT313-2

4.1 订购选择

表2 订购选择

Type number	Flash	Total SRAM	UART	I2C/ FM+	SSP/ SPI	ADC channels	GPIO	Package
LPC1227								
LPC1227FBD64/301	128 kB	8 kB	2	1	1	8	55	LQFP64
LPC1227FBD48/301	128 kB	8 kB	2	1	1	8	39	LQFP48
LPC1226								
LPC1226FBD64/301	96 kB	8 kB	2	1	1	8	55	LQFP64
LPC1226FBD48/301	96 kB	8 kB	2	1	1	8	39	LQFP48
LPC1225								
LPC1225FBD64/321	80 kB	8 kB	2	1	1	8	55	LQFP64
LPC1225FBD64/301	64 kB	8 kB	2	1	1	8	55	LQFP64
LPC1225FBD48/321	80 kB	8 kB	2	1	1	8	39	LQFP48
LPC1225FBD48/301	64 kB	8 kB	2	1	1	8	39	LQFP48
LPC1224								
LPC1224FBD64/121	48 kB	4 kB	2	1	1	8	55	LQFP64
LPC1224FBD64/101	32 kB	4 kB	2	1	1	8	55	LQFP64
LPC1224FBD48/121	48 kB	4 kB	2	1	1	8	39	LQFP48
LPC1224FBD48/101	32 kB	4 kB	2	1	1	8	39	LQFP48

5. 系统框图

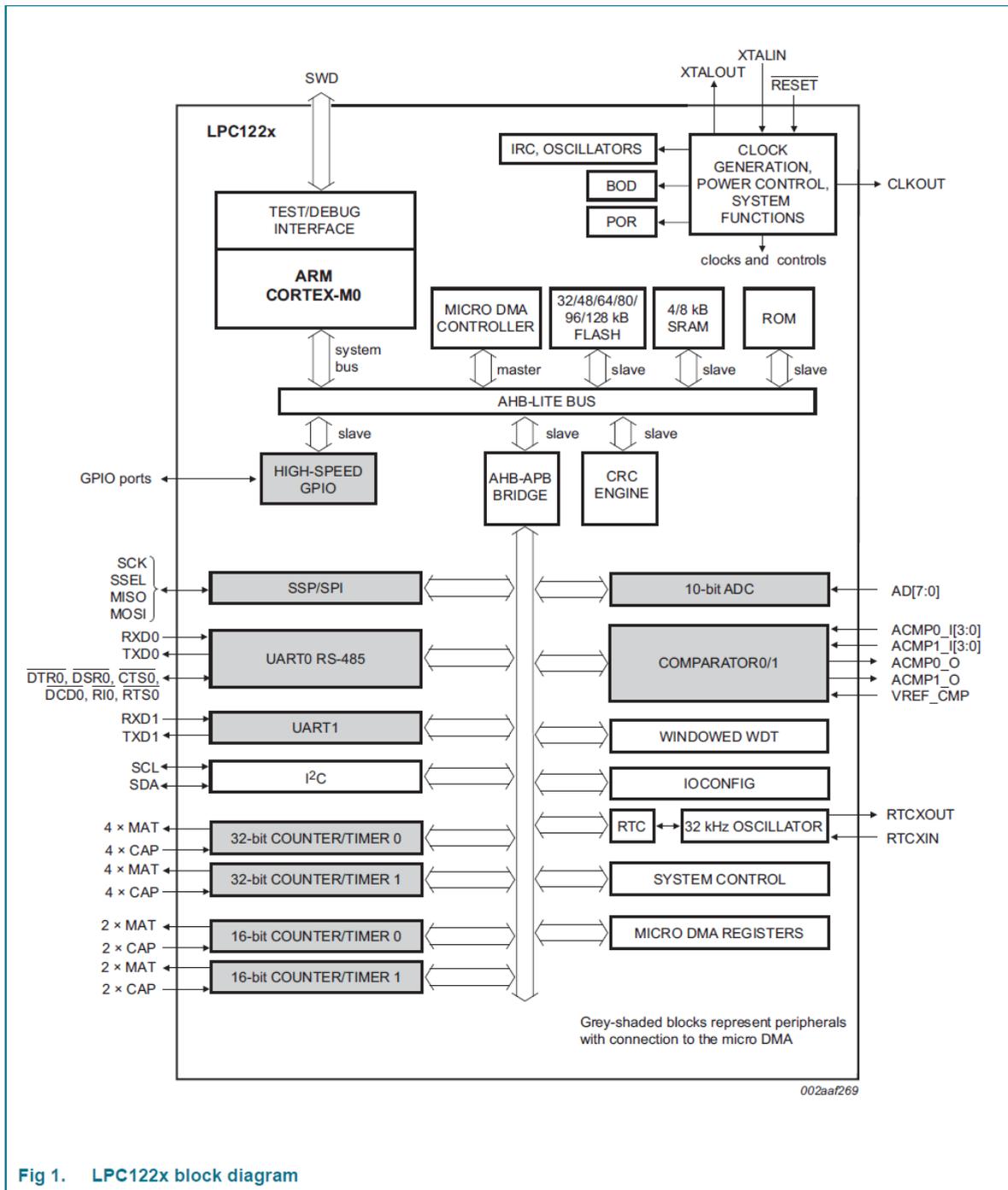
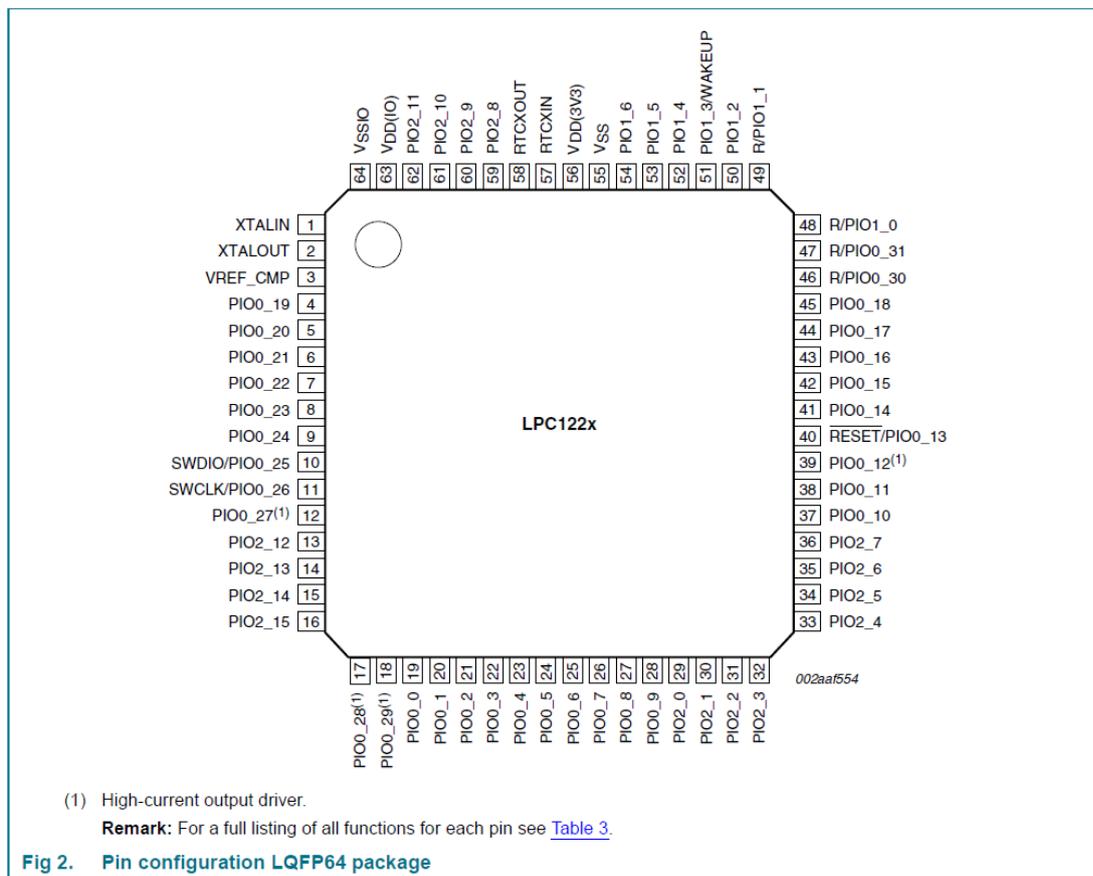
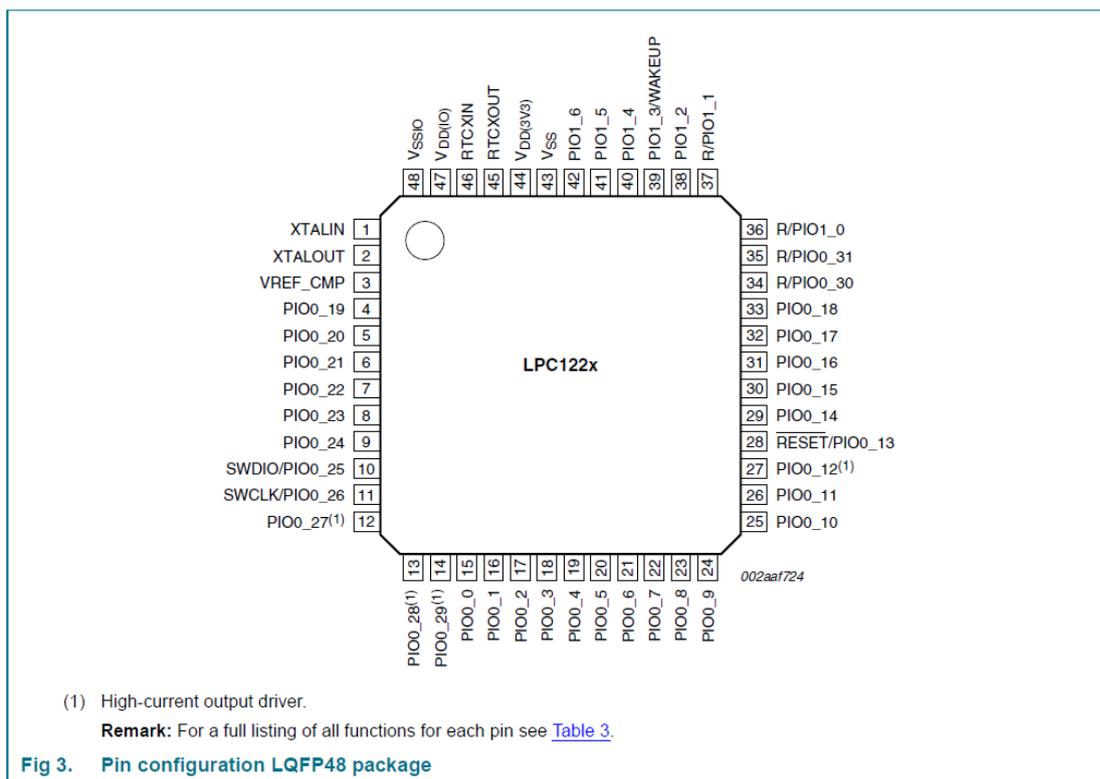


Fig 1. LPC122x block diagram

6. 引脚信息

6.1 引脚





6.2 引脚描述

除电源引脚之外的所有引脚都有不止一项功能，如表3所示。引脚的功能通过IOCONFIG模块中的IOCON寄存器选择。复用功能（见表4）包括计数/定时器的输入输出，UART的发送接收以及控制功能、串行线调试功能。

每个引脚的默认功能和复位后的状态列在第一位。

表3 LPC1113/14引脚描述表（LQFP48封装）

Symbol	Pin LQFP48	Pin LQFP64	Start logic input	Type	Reset state	Description
PIO0_0 to PIO0_31				I/O	Port 0 — Port 0 is a 32-bit I/O port with individual direction and function controls for each bit. The operation of port 0 pins depends on the function selected through the IOCONFIG register block.	
PIO0_0/RTS0	15	19	[2] yes	I/O	I; PU	PIO0_0 — General purpose digital input/output pin. O - RTS0 — Request To Send output for UART0.
PIO0_1/RXD0/CT32B0_CAP0/CT32B0_MAT0	16	20	[2] yes	I/O	I; PU	PIO0_1 — General purpose digital input/output pin. I - RXD0 — Receiver input for UART0. I - CT32B0_CAP0 — Capture input, channel 0 for 32-bit timer 0. O - CT32B0_MAT0 — Match output, channel 0 for 32-bit timer 0.

PIO0_2/TXD0/ CT32B0_CAP1/ CT32B0_MAT1	17	21	[2]	yes	I/O	I; PU	PIO0_2 — General purpose digital input/output pin. O - TXD0 — Transmitter output for UART0. I - CT32B0_CAP1 — Capture input, channel 1 for 32-bit timer 0. O - CT32B0_MAT1 — Match output, channel 1 for 32-bit timer 0.
PIO0_3/DTR0/ CT32B0_CAP2/ CT32B0_MAT2	18	22	[2]	yes	I/O	I; PU	PIO0_3 — General purpose digital input/output pin. O - DTR0 — Data Terminal Ready output for UART0. I - CT32B0_CAP2 — Capture input, channel 2 for 32-bit timer 0. O - CT32B0_MAT2 — Match output, channel 2 for 32-bit timer 0.
PIO0_4/DSR0/ CT32B0_CAP3/ CT32B0_MAT3	19	23	[2]	yes	I/O	I; PU	PIO0_4 — General purpose digital input/output pin. I - DSR0 — Data Set Ready input for UART0. I - CT32B0_CAP3 — Capture input, channel 3 for 32-bit timer 0. O - CT32B0_MAT3 — Match output, channel 3 for 32-bit timer 0.
PIO0_5/DCD0	20	24	[2]	yes	I/O	I; PU	PIO0_5 — General purpose digital input/output pin. I - DCD0 — Data Carrier Detect input for UART0.
PIO0_6/RI0/ CT32B1_CAP0/ CT32B1_MAT0	21	25	[2]	yes	I/O	I; PU	PIO0_6 — General purpose digital input/output pin. I - RI0 — Ring Indicator input for UART0. I - CT32B1_CAP0 — Capture input, channel 0 for 32-bit timer 1. O - CT32B1_MAT0 — Match output, channel 0 for 32-bit timer 1.
PIO0_7/CTS0/ CT32B1_CAP1/ CT32B1_MAT1	22	26	[2]	yes	I/O	I; PU	PIO0_7 — General purpose digital input/output pin. I - CTS0 — Clear To Send input for UART0. I - CT32B1_CAP1 — Capture input, channel 1 for 32-bit timer 1. O - CT32B1_MAT1 — Match output, channel 1 for 32-bit timer 1.
PIO0_8/RXD1/ CT32B1_CAP2/ CT32B1_MAT2	23	27	[2]	yes	I/O	I; PU	PIO0_8 — General purpose digital input/output pin. I - RXD1 — Receiver input for UART1. I - CT32B1_CAP2 — Capture input, channel 2 for 32-bit timer 1. O - CT32B1_MAT2 — Match output, channel 2 for 32-bit timer 1.
PIO0_9/TXD1/ CT32B1_CAP3/ CT32B1_MAT3	24	28	[2]	yes	I/O	I; PU	PIO0_9 — General purpose digital input/output pin. O - TXD1 — Transmitter output for UART1. I - CT32B1_CAP3 — Capture input, channel 3 for 32-bit timer 1. O - CT32B1_MAT3 — Match output, channel 3 for 32-bit timer 1.
PIO0_10/SCL	25	37	[3]	yes	I/O	I; IA	PIO0_10 — General purpose digital input/output pin. I/O - SCL — I ² C-bus clock input/output.
PIO0_11/SDA/ CT16B0_CAP0/ CT16B0_MAT0	26	38	[3]	yes	I/O	I; IA	PIO0_11 — General purpose digital input/output pin. I/O - SDA — I ² C-bus data input/output. I - CT16B0_CAP0 — Capture input, channel 0 for 16-bit timer 0. O - CT16B0_MAT0 — Match output, channel 0 for 16-bit timer 0.
PIO0_12/CLKOUT/ CT16B0_CAP1/ CT16B0_MAT1	27	39	[7]	no	I/O	I; PU	PIO0_12 — General purpose digital input/output pin. A LOW level on this pin during reset starts the ISP command handler. High-current output driver. O - CLKOUT — Clock out pin.

					I	-	CT16B0_CAP1 — Capture input, channel 1 for 16-bit timer 0.
					O	-	CT16B0_MAT1 — Match output, channel 1 for 16-bit timer 0.
RESET/PIO0_13	28	40	[4]	no	I	I; PU	RESET — External reset input: A LOW on this pin resets the device, causing I/O ports and peripherals to take on their default states, and processor execution to begin at address 0.
					I/O	-	PIO0_13 — General purpose digital input/output pin.
PIO0_14/SCK	29	41	[2]	no	I/O	I; PU	PIO0_14 — General purpose digital input/output pin.
					I/O	-	SCK — Serial clock for SSP/SPI.
PIO0_15/SSEL/ CT16B1_CAP0/ CT16B1_MAT0	30	42	[2]	no	I/O	I; PU	PIO0_15 — General purpose digital input/output pin.
					I/O	-	SSEL — Slave select for SSP/SPI.
					I	-	CT16B1_CAP0 — Capture input, channel 0 for 16-bit timer 1.
					O	-	CT16B1_MAT0 — Match output, channel 0 for 16-bit timer 1.
PIO0_16/MISO/ CT16B1_CAP1/ CT16B1_MAT1	31	43	[2]	no	I/O	I; PU	PIO0_16 — General purpose digital input/output pin.
					I/O	-	MISO — Master In Slave Out for SSP/SPI.
					I	-	CT16B1_CAP1 — Capture input, channel 1 for 16-bit timer 1.
					O	-	CT16B1_MAT1 — Match output, channel 1 for 16-bit timer 1.
PIO0_17/MOSI	32	44	[2]	no	I/O	I; PU	PIO0_17 — General purpose digital input/output pin.
					I/O	-	MOSI — Master Out Slave In for SSP/SPI.
PIO0_18/SWCLK/ CT32B0_CAP0/ CT32B0_MAT0	33	45	[2]	no	I/O	I; PU	PIO0_18 — General purpose digital input/output pin.
					I	-	SWCLK — Serial wire clock, alternate location.
					I	-	CT32B0_CAP0 — Capture input, channel 0 for 32-bit timer 0.
					O	-	CT32B0_MAT0 — Match output, channel 0 for 32-bit timer 0.
PIO0_19/ACMP0_I0/ CT32B0_CAP1/ CT32B0_MAT1	4	4	[5]	no	I/O	I; PU	PIO0_19 — General purpose digital input/output pin.
					I	-	ACMP0_I0 — Input 0 for comparator 0.
					I	-	CT32B0_CAP1 — Capture input, channel 1 for 32-bit timer 0.
					O	-	CT32B0_MAT1 — Match output, channel 1 for 32-bit timer 0.
PIO0_20/ACMP0_I1/ CT32B0_CAP2/ CT32B0_MAT2	5	5	[5]	no	I/O	I; PU	PIO0_20 — General purpose digital input/output pin.
					I	-	ACMP0_I1 — Input 1 for comparator 0.
					I	-	CT32B0_CAP2 — Capture input, channel 2 for 32-bit timer 0.
					O	-	CT32B0_MAT2 — Match output, channel 2 for 32-bit timer 0.
PIO0_21/ACMP0_I2/ CT32B0_CAP3/ CT32B0_MAT3	6	6	[5]	no	I/O	I; PU	PIO0_21 — General purpose digital input/output pin.
					I	-	ACMP0_I2 — Input 2 for comparator 0.
					I	-	CT32B0_CAP3 — Capture input, channel 3 for 32-bit timer 0.
					O	-	CT32B0_MAT3 — Match output, channel 3 for 32-bit timer 0.
PIO0_22/ACMP0_I3	7	7	[5]	no	I/O	I; PU	PIO0_22 — General purpose digital input/output pin.
					I	-	ACMP0_I3 — Input 3 for comparator 0.
PIO0_23/ ACMP1_I0/ CT32B1_CAP0/ CT32B1_MAT0	8	8	[5]	no	I/O	I; PU	PIO0_23 — General purpose digital input/output pin.
					I	-	ACMP1_I0 — Input 0 for comparator 1.
					I	-	CT32B1_CAP0 — Capture input, channel 0 for 32-bit timer 1.
					O	-	CT32B1_MAT0 — Match output, channel 0 for 32-bit timer 1.

PIO0_24/ACMP1_I1/ CT32B1_CAP1/ CT32B1_MAT1	9	9	[5]	no	I/O	I; PU	PIO0_24 — General purpose digital input/output pin. I - ACMP1_I1 — Input 1 for comparator 1. I - CT32B1_CAP1 — Capture input, channel 1 for 32-bit timer 1. O - CT32B1_MAT1 — Match output, channel 1 for 32-bit timer 1.
SWDIO/ACMP1_I2/ CT32B1_CAP2/ CT32B1_MAT2/ PIO0_25	10	10	[5]	no	I/O	I; PU	SWDIO — Serial wire debug input/output, default location. I - ACMP1_I2 — Input 2 for comparator 1. I - CT32B1_CAP2 — Capture input, channel 2 for 32-bit timer 1. O - CT32B1_MAT2 — Match output, channel 2 for 32-bit timer 1. I/O - PIO0_25 — General purpose digital input/output pin.
SWCLK/ACMP1_I3/ CT32B1_CAP3/ CT32B1_MAT3/ PIO0_26	11	11	[5]	no	I	I; PU	SWCLK — Serial wire clock, default location. I - ACMP1_I3 — Input 3 for comparator 1. I - CT32B1_CAP3 — Capture input, channel 3 or 32-bit timer 1. O - CT32B1_MAT3 — Match output, channel 3 for 32-bit timer 1. I/O - PIO0_26 — General purpose digital input/output pin.
PIO0_27/ACMP0_O	12	12	[7]	no	I/O	I; PU	PIO0_27 — General purpose digital input/output pin (high-current output driver). O - ACMP0_O — Output for comparator 0.
PIO0_28/ACMP1_O/ CT16B0_CAP0/ CT16B0_MAT0	13	17	[7]	no	I/O	I; PU	PIO0_28 — General purpose digital input/output pin (high-current output driver). O - ACMP1_O — Output for comparator 1. I - CT16B0_CAP0 — Capture input, channel 0 for 16-bit timer 0. O - CT16B0_MAT0 — Match output, channel 0 for 16-bit timer 0.
PIO0_29/ROSC/ CT16B0_CAP1/ CT16B0_MAT1	14	18	[7]	no	I/O	I; PU	PIO0_29 — General purpose digital input/output pin (high-current output driver). I/O - ROSC — Relaxation oscillator for 555 timer applications. I - CT16B0_CAP1 — Capture input, channel 1 for 16-bit timer 0. O - CT16B0_MAT1 — Match output, channel 1 for 16-bit timer 0.
R/PIO0_30/AD0	34	46	[5]	no	I	I; PU	R — Reserved. Configure for an alternate function in the IOCONFIG block. I/O - PIO0_30 — General purpose digital input/output pin. I - AD0 — A/D converter, input 0.
R/PIO0_31/AD1	35	47	[5]	no	I	I; PU	R — Reserved. Configure for an alternate function in the IOCONFIG block. I/O - PIO0_31 — General purpose digital input/output pin. I - AD1 — A/D converter, input 1.
PIO1_0 to PIO1_6					I/O		Port 1 — Port 1 is a 32-bit I/O port with individual direction and function controls for each bit. The operation of port 1 pins depends on the function selected through the IOCONFIG register block. Pins PIO1_7 through PIO1_31 are not available.
R/PIO1_0/AD2	36	48	[5]	no	O	I; PU	R — Reserved. Configure for an alternate function in the IOCONFIG block.

					I/O	-	PIO1_0 — General purpose digital input/output pin.
					I	-	AD2 — A/D converter, input 2.
R/PIO1_1/AD3	37	49	[5]	no	I	I; PU	R — Reserved. Configure for an alternate function in the IOCONFIG block.
					I/O	-	PIO1_1 — General purpose digital input/output pin.
					I	-	AD3 — A/D converter, input 3.
PIO1_2/SWDIO/AD4	38	50	[5]	no	I/O	I; PU	PIO1_2 — General purpose digital input/output pin.
					I/O	-	SWDIO — Serial wire debug input/output, alternate location.
					I	-	AD4 — A/D converter, input 4.
PIO1_3/AD5/WAKEUP	39	51	[6]	no	I/O	I; PU	PIO1_3 — General purpose digital input/output pin.
					I	-	AD5 — A/D converter, input 5.
					I	-	WAKEUP — Deep power-down mode wake-up pin.
PIO1_4/AD6	40	52	[5]	no	I/O	I; PU	PIO1_4 — General purpose digital input/output pin.
					I	-	AD6 — A/D converter, input 6.
PIO1_5/AD7/ CT16B1_CAP0/ CT16B1_MAT0	41	53	[5]	no	I/O	I; PU	PIO1_5 — General purpose digital input/output pin.
					I	-	AD7 — A/D converter, input 7.
					I	-	CT16B1_CAP0 — Capture input, channel 0 for 16-bit timer 1.
					O	-	CT16B1_MAT0 — Match output, channel 0 for 16-bit timer 1.
PIO1_6/ CT16B1_CAP1/ CT16B1_MAT1	42	54	[2]	no	I/O	I; PU	PIO1_6 — General purpose digital input/output pin.
					I	-	CT16B1_CAP1 — Capture input, channel 1 for 16-bit timer 1.
					O	-	CT16B1_MAT1 — Match output, channel 1 for 16-bit timer 1.
PIO2_0 to PIO2_15					I/O		Port 2 — Port 2 is a 32-bit I/O port with individual direction and function controls for each bit. The operation of port 2 pins depends on the function selected through the IOCONFIG register block. Pins PIO2_16 through PIO2_31 are not available.
PIO2_0/ CT16B0_CAP0/ CT16B0_MAT0/ RTS0	-	29	[2]	no	I/O	I; PU	PIO2_0 — General purpose digital input/output pin.
					I	-	CT16B0_CAP0 — Capture input, channel 0 for 16-bit timer 0.
					O	-	CT16B0_MAT0 — Match output, channel 0 for 16-bit timer 0.
					O	-	RTS0 — Request To Send output for UART0.
PIO2_1/ CT16B0_CAP1/ CT16B0_MAT1/RXD0	-	30	[2]	no	I/O	I; PU	PIO2_1 — General purpose digital input/output pin.
					I	-	CT16B0_CAP1 — Capture input, channel 1 for 16-bit timer 0.
					O	-	CT16B0_MAT1 — Match output, channel 1 for 16-bit timer 0.
					I	-	RXD0 — Receiver input for UART0.
PIO2_2/ CT16B1_CAP0/ CT16B1_MAT0/TXD0	-	31	[2]	no	I/O	I; PU	PIO2_2 — General purpose digital input/output pin.
					I	-	CT16B1_CAP0 — Capture input, channel 0 for 16-bit timer 1.
					O	-	CT16B1_MAT0 — Match output, channel 0 for 16-bit timer 1.
					O	-	TXD0 — Transmitter output for UART0.
PIO2_3/ CT16B1_CAP1/	-	32	[2]	no	I/O	I; PU	PIO2_3 — General purpose digital input/output pin.
					I	-	CT16B1_CAP1 — Capture input, channel 1 for 16-bit timer 1.

CT16B1_MAT1/DTR0					O	-	CT16B1_MAT1 — Match output, channel 1 for 16-bit timer 1.
					O	-	DTR0 — Data Terminal Ready output for UART0.
PIO2_4/	-	33	[2]	no	I/O	I; PU	PIO2_4 — General purpose digital input/output pin.
CT32B0_CAP0/					I	-	CT32B0_CAP0 — Capture input, channel 0 for 32-bit timer 0.
CT32B0_MAT0/CTS0					O	-	CT32B0_MAT0 — Match output, channel 0 for 32-bit timer 0.
					I	-	CTS0 — Clear To Send input for UART0.
PIO2_5/	-	34	[2]	no	I/O	I; PU	PIO2_5 — General purpose digital input/output pin.
CT32B0_CAP1/					I	-	CT32B0_CAP1 — Capture input, channel 1 for 32-bit timer 0.
CT32B0_MAT1/RI0					O	-	CT32B0_MAT1 — Match output, channel 1 for 32-bit timer 0.
					I	-	RI0 — Ring Indicator input for UART0.
PIO2_6/	-	35	[2]	no	I/O	I; PU	PIO2_6 — General purpose digital input/output pin
CT32B0_CAP2/					I	-	CT32B0_CAP2 — Capture input, channel 2 for 32-bit timer 0.
CT32B0_MAT2/DCD0					O	-	CT32B0_MAT2 — Match output, channel 2 for 32-bit timer 0.
					I	-	DCD0 — Data Carrier Detect input for UART0.
PIO2_7/	-	36	[2]	no	I/O	I; PU	PIO2_7 — General purpose digital input/output pin.
CT32B0_CAP3/					I	-	CT32B0_CAP3 — Capture input, channel 3 for 32-bit timer 0.
CT32B0_MAT3/DSR0					O	-	CT32B0_MAT3 — Match output, channel 3 for 32-bit timer 0.
					I	-	DSR0 — Data Set Ready input for UART0.
PIO2_8/	-	59	[2]	no	I/O	I; PU	PIO2_8 — General purpose digital input/output pin.
CT32B1_CAP0/					I	-	CT32B1_CAP0 — Capture input, channel 0 for 32-bit timer 1.
CT32B1_MAT0					O	-	CT32B1_MAT0 — Match output, channel 0 for 32-bit timer 1.
PIO2_9/	-	60	[2]	no	I/O	I; PU	PIO2_9 — General purpose digital input/output pin.
CT32B1_CAP1/					I	-	CT32B1_CAP1 — Capture input, channel 1 for 32-bit timer 1.
CT32B1_MAT1					O	-	CT32B1_MAT1 — Match output, channel 1 for 32-bit timer 1.
PIO2_10/	-	61	[2]	no	I/O	I; PU	PIO2_10 — General purpose digital input/output pin.
CT32B1_CAP2/					I	-	CT32B1_CAP2 — Capture input, channel 2 for 32-bit timer 1.
CT32B1_MAT2/TXD1					O	-	CT32B1_MAT2 — Match output, channel 2 for 32-bit timer 1.
					O	-	TXD1 — Transmitter output for UART1.
PIO2_11/	-	62	[2]	no	I/O	I; PU	PIO2_11 — General purpose digital input/output pin.
CT32B1_CAP3/					I	-	CT32B1_CAP3 — Capture input, channel 3 for 32-bit timer 1.
CT32B1_MAT3/RXD1					O	-	CT32B1_MAT3 — Match output, channel 3 for 32-bit timer 1.
					I	-	RXD1 — Receiver input for UART1.
PIO2_12/RXD1	-	13	[2]	no	I/O	I; PU	PIO2_12 — General purpose digital input/output pin.
					I	-	RXD1 — Receiver input for UART1.
PIO2_13/TXD1	-	14	[2]	no	I/O	I; PU	PIO2_13 — General purpose digital input/output pin.
					O	-	TXD1 — Transmitter output for UART1.
PIO2_14	-	15	[2]	no	I/O	I; PU	PIO2_14 — General purpose digital input/output pin.
PIO2_15	-	16	[2]	no	I/O	I; PU	PIO2_15 — General purpose digital input/output pin.
RTCXIN	46	58			I	-	Input to the 32 kHz oscillator circuit.
RTCXOUT	45	57			O	-	Output from the 32 kHz oscillator amplifier.

XTALIN	1	1	-	I	-	Input to the system oscillator circuit and internal clock generator circuits.
XTALOUT	2	2	-	O	-	Output from the system oscillator amplifier.
VREF_CMP	3	3	-	I	-	Reference voltage for comparator.
VDD(IO)	47	63	-	I	-	Input/output supply voltage.
VDD(3V3)	44	56	-	I	-	3.3 V supply voltage to the internal regulator and the ADC. Also used as the ADC reference voltage.
VSSIO	48	64	-	I	-	Ground.
VSS	43	55	-	I	-	Ground.

- [1] 复位后默认功能的引脚状态：I=输入；O=输出；PU=使能内部上拉；IA=未激活，没有使能上拉或下拉。
- [2] 3.3V容差，数字IO引脚，默认状态：上拉使能，无滞后
- [3] I²C总线引脚，5V容差，开漏，默认状态：无上拉/下拉，无滞后
- [4] 3.3V容差，带复位功能的数字IO引脚，默认状态：上拉使能，无滞后。深度掉电模式下，该引脚需要外加一个上拉电阻。
- [5] 3.3V容差，数字IO引脚带模拟功能，默认状态：上拉使能，无滞后
- [6] 3.3V容差，数字IO引脚带模拟功能，WAKEUP功能，默认状态：上拉使能，无滞后
- [7] 3.3V容差，高驱动能力数字IO引脚，默认状态：上拉使能，无滞后

为了使能外设功能，应找到相应的端口引脚或者选择选择复用功能中的一个引脚，通过编程该端口引脚的IOCONFIG寄存器使能某项功能。主要的SWD和RESET功能是引脚复位后的默认功能，所有其它数字引脚的默认功能是GPIO。

表4 引脚复用

Peripheral	Function	Type	Available on ports:		
Analog comparators	ROSC	I/O	PIO0_29	-	-
	ACMP0_I0	I	PIO0_19	-	-
	ACMP0_I1	I	PIO0_20	-	-
	ACMP0_I2	I	PIO0_21	-	-
	ACMP0_I3	I	PIO0_22	-	-
	ACMP0_O	O	PIO0_27	-	-
	ACMP1_I0	I	PIO0_23	-	-
	ACMP1_I1	I	PIO0_24	-	-
	ACMP1_I2	I	PIO0_25	-	-
	ACMP1_I3	I	PIO0_26	-	-
	ACMP1_O	O	PIO0_28	-	-
ADC	AD0	I	PIO0_30	-	-
	AD1	I	PIO0_31	-	-
	AD2	I	PIO1_0	-	-
	AD3	I	PIO1_1	-	-
	AD4	I	PIO1_2	-	-
	AD5	I	PIO1_3	-	-

	AD6	I	PIO1_4	-	-
	AD7	I	PIO1_5	-	-
CT16B0	CT16B0_CAP0	I	PIO0_11	PIO0_28	PIO2_0
	CT16B0_CAP1	I	PIO0_12	PIO0_29	PIO2_1
	CT16B0_MAT0	O	PIO0_11	PIO0_28	PIO2_0
	CT16B0_MAT1	O	PIO0_12	PIO0_29	PIO2_1
CT16B1	CT16B1_CAP0	I	PIO0_15	PIO1_5	PIO2_2
	CT16B1_CAP1	I	PIO0_16	PIO1_6	PIO2_3
	CT16B1_MAT0	O	PIO0_15	PIO1_5	PIO2_2
	CT16B1_MAT1	O	PIO0_16	PIO1_6	PIO2_3
CT32B0	CT32B0_CAP0	I	PIO0_1	PIO0_18	PIO2_4
	CT32B0_CAP1	I	PIO0_2	PIO0_19	PIO2_5
	CT32B0_CAP2	I	PIO0_3	PIO0_20	PIO2_6
	CT32B0_CAP3	I	PIO0_4	PIO0_21	PIO2_7
	CT32B0_MAT0	O	PIO0_1	PIO0_18	PIO2_4
	CT32B0_MAT1	O	PIO0_2	PIO0_19	PIO2_5
	CT32B0_MAT2	O	PIO0_3	PIO0_20	PIO2_6
	CT32B0_MAT3	O	PIO0_4	PIO0_21	PIO2_7
CT32B1	CT32B1_CAP0	I	PIO0_6	PIO0_23	PIO2_8
	CT32B1_CAP1	I	PIO0_7	PIO0_24	PIO2_9
	CT32B1_CAP2	I	PIO0_8	PIO0_25	PIO2_10
	CT32B1_CAP3	I	PIO0_9	PIO0_26	PIO2_11
	CT32B1_MAT0	O	PIO0_6	PIO0_23	PIO2_8
	CT32B1_MAT1	O	PIO0_7	PIO0_24	PIO2_9
	CT32B1_MAT2	O	PIO0_8	PIO0_25	PIO2_10
	CT32B1_MAT3	O	PIO0_9	PIO0_26	PIO2_11
UART0	RXD0	I	PIO0_1	PIO2_1	-
	TXD0	O	PIO0_2	PIO2_2	-
	CTS0	I	PIO0_7	PIO2_4	-
	DCD0	I	PIO0_5	PIO2_6	-
	DSR0	I	PIO0_4	PIO2_7	-
	DTR0	O	PIO0_3	PIO2_3	-
	RI0	I	PIO0_6	PIO2_5	-
	RTS0	O	PIO0_0	PIO2_0	-
UART1	RXD1	I	PIO0_8	PIO2_11	PIO2_12
	TXD1	O	PIO0_9	PIO2_12	PIO2_13
SSP/SPI	SCK	I/O	PIO0_14	-	-
	MISO	I/O	PIO0_16	-	-
	MOSI	I/O	PIO0_17	-	-
	SSEL	I/O	PIO0_15	-	-
I2C	SCL	I/O	PIO0_10	-	-

	SDA	I/O	PIO0_11	-	-
SWD	SWCLK ^[1]	I	PIO0_18	PIO0_26	-
	SWDIO ^[1]	I/O	PIO0_25	PIO1_2	-
Reset	RESET	I	PIO0_13	-	-
Clockout pin	CLKOUT	O	PIO0_12	-	-

[1]复位后，默认具有SWD功能的引脚是PIO0_26和PIO0_25。

7. 功能描述

7.1 ARM Cortex-M0处理器

ARM Cortex-M0处理器是一个通用的32位处理器，具有高性能和低功耗的特点。

7.1.1 系统节拍定时器

ARM Cortex-M0含有一个系统节拍定时器 (SYSTICK)，用于在内部每10ms产生一个专用的SYSTICK异常。

7.2 片上Flash程序存储器

LPC122x拥有最高达128kB的片上Flash程序存储器。

7.3 片上SRAM

LPC122x 拥有最多共计8 kB的片上静态 RAM 存储器。

7.4 存储器映射

LPC122x包含了如下图所示的若干不同存储区域。图5展示了复位后从程序入口点开始整个地址空间的全部映射。其中中断向量区支持支持地址的重映射。

AHB外设区的大小为 2MB，可分配多达 128个外设。APB 外设区的大小为512KB，可分配多达 32个外设，每种类型的每一个外设空间的大小都为16KB，从而简化了每个外设的地址译码。

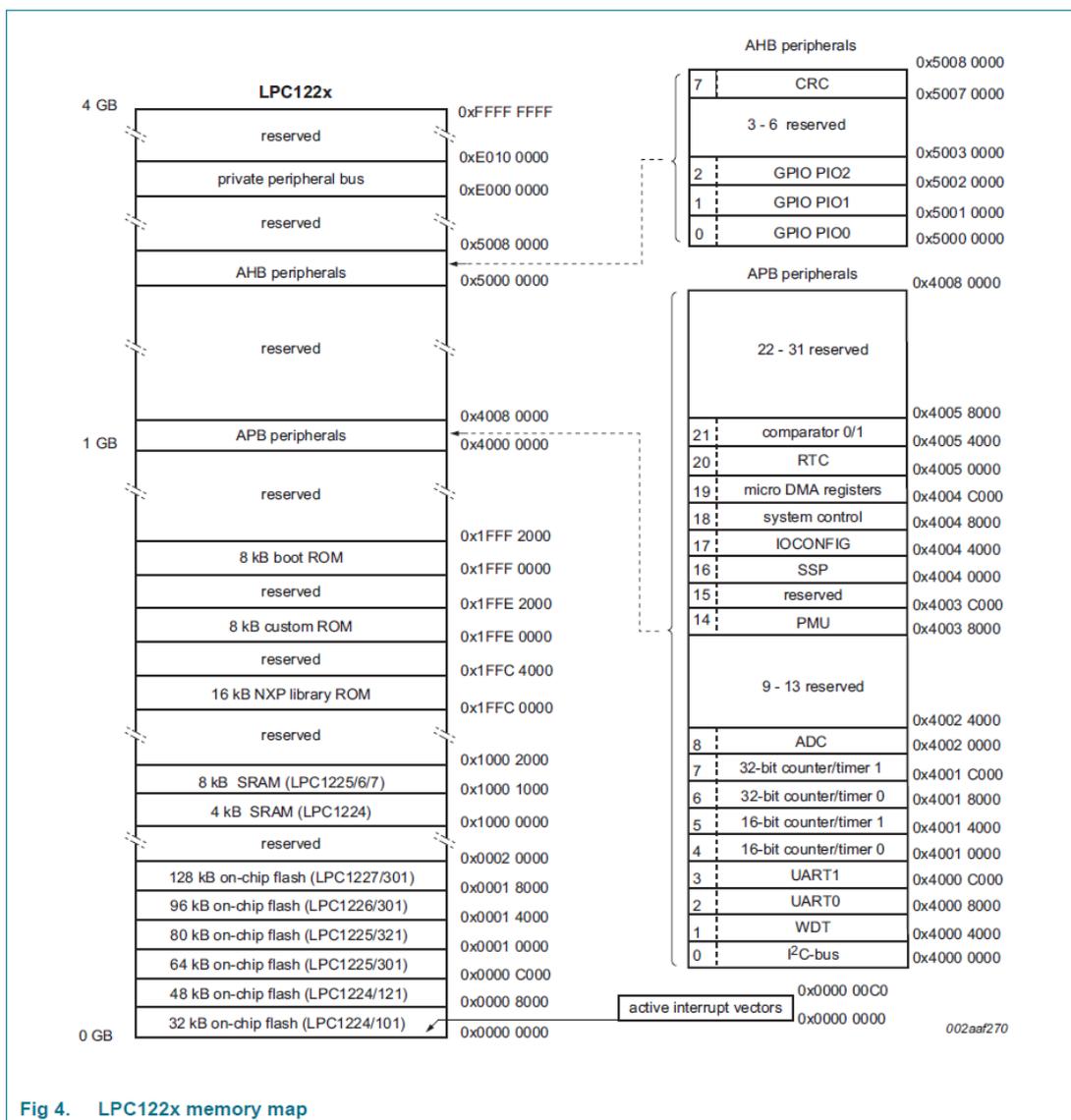


Fig 4. LPC122x memory map

7.5 嵌套向量中断控制器 (Nested Vectored Interrupt Controller, NVIC)

嵌套向量中断控制器 (NVIC) 是Cortex-M0不可分割的一部分。它与CPU紧密结合，降低了中断延时，并能够有效处理即将到来的中断。

7.5.1 特性

- 可对系统异常和外设中断进行控制
- LPC122x中，NVIC支持32个向量中断。另外，NVIC 向量支持多达12个的独立GPIO输入
- 4个可编程的中断优先级级别，具有硬件优先级屏蔽
- 软件中断功能
- 非屏蔽中断 (NMI) 可被编程用于任何外设中断。但NMI不能用于外部引脚

7.5.2 中断源

每一个外围设备有一条线连接到嵌套向量中断控制器 (NVIC)，但可以有几个中断标志。单个的中断标志也可以代表几个中断源。

一切GPIO引脚（最多达55个）不论选择的是哪种功能，都可以被编程产生中断，中断的触发可以是电平、上升沿、下降沿或双边沿。

7.6 IOCONFIG模块

IOCONFIG模块允许选定的微控制器引脚有一个或更多的功能。配置寄存器控制多路选择开关来使能引脚和片上外设之间的连接。

外设应该在被激活和使能相关的中断之前连接到相应的引脚。如果外设功能没用映射到相应的引脚，则激活外设功能的操作被视为未定义。

7.6.1 特点

- 可编程上拉电阻
- 可编程数字干扰滤波器
- 可编程输入反相器
- 可编程电流驱动
- 可编程开漏模式

7.7 Micro DMA控制器

Micro DMA控制器支持存储器—存储器，存储器—外设，外设—存储器的数据传输。其支持的外设为：UART0（发送和接收），UART1（发送和接收），SSP/SPI（发送和接收），ADC，RTC，32位计数/定时器0（匹配输出通道0和1），32位计数/定时器1（匹配输出通道0和1），16位计数/定时器0（匹配输出通道0），16位计数/定时器1（匹配输出通道0），比较器0，比较器1，GPIO0到GPIO2。

7.7.1 特性

- 单个AHB-Lite主机使用32位地址和数据总线传输数据
- 21路DMA通道
- 每个通道都带握手信号和可编程优先级
- 每个优先级仲裁使用一个由DMA通道号决定的固定优先级
- 支持存储器到存储器、存储器到外设、外设到存储器的传输
- 支持多种DMA周期类型和多种DMA传输宽度
- 使用单个AHB-Lite突发类型完成所有的DMA传输

7.8 CRC引擎

循环冗余校验码 (Cyclic Redundancy Check, CRC) 引擎含有可编程的多项式设置，支持常用的几个CRC标准。为了节省系统功耗和总线位宽，CRC引擎支持DMA传输。

7.8.1 特性

- 支持三个常用的多项式：CRC-CCITT、CRC-16和CRC-32
 - CRC-CCITT: $x^{16} + x^{12} + x^5 + 1$

- CRC-16: $x^{16} + x^{15} + x^2 + 1$
- CRC-32: $x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$
- 可编程的位次序翻转和1's补码设置，用于输入数据以及CRC和
- 可编程的随机数设置
- 支持CPU可编程IO口和DMA的端到端传输
- 接受任何字长的数据写入：8位、16位或32位。
 - 8位写：一个处理周期
 - 16位写：两个处理周期（8位×写周期）
 - 32位写：4个处理周期（8位×处周期）

7.9 快速通用并行IO口

GPIO寄存器控制没有连接到特定外设的引脚。引脚可以被动态的配置为输入或输出。单个寄存器允许同时设置或清除任意个数的输出。输出寄存器的值可以回读（包括引脚处于电流模式时）。

7.9.1 特性

- 位电平设置和清除寄存器允许一条指令设置或清除一个端口中任意个数的位设置
- 单个位的方向控制
- 复位后，所有I/O口默认为输入

7.10 UARTs

LPC122x含有两个UART模块。UART0支持全功能调制解调器控制和RS-485/9位模式，允许软件地址检测和9位模式下的自动地址检测。

UART模块包含了一个小数波特率发生器。可以在晶体频率小于2MHz的情况下达到标准波特率（如：115200 Bd）。

7.10.1 特性

- 16字节收发FIFO
- 寄存器位置符合16C550工业标准
- 接收器FIFO 触发点可为1、4、8和14字节
- 内置小数波特率发生器，不需特定频率的外部晶振就可涵盖较宽范围的波特率
- 自动波特率适应和FIFO控制机制可实现软件流程控制
- 支持 RS-458/9位模式 (UART0)
- 支持调制解调控制 (UART0)

7.11 SSP/SPI串行IO控制器

LPC122x含有一个SSP/SPI控制器。SSP/SPI控制器可控制SSP、4线 SSI或 Microwire 总线的操作。在一条总线上可以有多个主机或从机。在一次数据传输中，总线上只有一个主机和一个从机进行通信。SSP支持为全双工方式传输，4位到16 位数据帧由主机发送到从机或由从机发送到主机。实际上通常情况下只有一个方向上的数据流包含有意义的的数据。

7.11.1 特性

- 兼容Motorola的SPI、TI的4线SSI和National Semiconducto的Microwire总线

- 同步串行通信
- 主/从操作
- 8帧收发FIFO
- 每帧4到16位

7.12 I²C总线串行IO控制器

LPC122x含有一个I²C总线控制器。

I²C总线是用于IC器件互联控制的双向总线，它只需要两根连接线：一条串行数据线SDA，一条串行时钟线SCL。每个器件都通过唯一的地址来识别，可以工作在只接收模式下（如LCD驱动器）或者作为可以接收和发送信息的传输器（如存储器）。主节点或从节点都可以进行发送和（或）接收，取决于芯片被初始化为数据发送方还是只是被编址。I²C总线是一种多主总线，可以由连接到总线上的多个主节点控制。

7.12.1 特性

- I²C接口是与标准I²C兼容的漏极开路的总线接口。I²C总线接口还支持Fast-mode Plus，最高位速率为1 Mbit/s
- 可编程的数字干扰滤波器，提供60ns到1μs的输入滤波
- 可配置为主机、从机或主/从机
- 可编程时钟允许调整I²C传输速率
- 主机和从机之间的数据传输是双向的
- 多主总线（无核心主节点）
- 在同时发送的主机之间进行仲裁，而不会破坏总线上的串行数据
- 串行时钟同步允许具有不同位速率的设备通过一条串行总线进行通信
- 串行时钟同步用作握手机制以挂起及恢复串行传输
- I²C总线可用于测试和诊断
- I²C总线控制器支持多地址识别和总线监视模式

7.13 10位数模转换器（ADC）

LPC122x拥有一个ADC模块。它是一个8通道10位逐次逼近式模数转换器。

7.13.1 特性

- 10位逐次逼近式模数转换器
- 在8个管脚间实现输入多路复用
- 掉电模式
- 测量范围：0V~VDD
- 10位转换，频率为257kHz
- 一个或多个输入的突发转换模式
- 可选择由输入跳变或定时器/计数器匹配信号触发转换
- 每个A/D通道的独立结果寄存器减少了中断开销

7.14 比较器模块

比较器模块含有两个模拟比较器

7.14.1 特性

- 每个比较器都有最多六个可选的外部输入源；都可以被配置为上升沿或下降沿比较器输入通道
- 两个比较器都含有掉电检测 (BOD) 0.9V内部参考电压；可以被配置为上升沿或下降沿比较器输入通道
- 两个比较器都有32级梯度内部参考电压；可以被配置为上升沿或下降沿比较器输入通道
- 电压梯度源电压可选择为外部引脚输入，或者在外部电源无效的情况下选择内部3.3V电压
- 当应用只要求比较器功能时，电压梯度可以被单独掉电
- 张弛振荡器电路输出，用于555型定时器应用的反馈
- 连接到NVIC的通用中断
- 比较器输出可选为同步或异步
- 比较器的输出连接到两个定时器，允许记录比较事件的时间戳

7.15 通用外部事件计数器/定时器

LPC122x拥有2个32位和2个16位定时器/计数器。定时器/计数器用来对系统时钟周期进行计数。可基于四个匹配寄存器，选择在规定的时间内产生中断或执行其他操作。每个定时器/计数器还包含最多4个捕获输入，用来在输入信号变化时捕获定时器瞬时值，也可选择产生中断。

7.15.1 特性

- 一个32位/16位的定时器/计数器，带有一个可编程的32位/16位的预分频器
- 可工作的计数器或定时器模式
- 每个定时器包含最多4个捕获通道，可在输入信号跳变时捕捉定时器的瞬时值。捕获事件也可以产生中断
- 4个匹配寄存器，允许执行以下操作：
 - 匹配时连续工作，在匹配时可选择产生中断
 - 在匹配时停止定时器运行，可选择产生中断
 - 在匹配时复位定时器，可选择产生中断
- 有4个与匹配寄存器相对应的外部输出，这些输出具有以下功能：
 - 匹配时设为低电平
 - 匹配时设为高电平
 - 匹配时翻转电平
 - 匹配时不执行任何操作
- 定时器和预分频器可以配置为通过专用的捕获事件清除。这项功可方便的实现脉冲宽度的测量，这种测量方法在前沿清除定时器并且在后沿捕获定时器的值
- 支持定时的DMA请求

7.16 窗式看门狗定时器 (WWDG)

看门狗的作用是，在一个窗口量的时间内如果进入错误状态则复位微控制器。当被使能时，如果用户程序没有去“喂”（或重载）看门狗，则产生片内复位（若使能），看门狗将在预先确定的时

间内产生系统复位。

7.16.1 特性

- 如果没有周期性的重载则内部复位芯片
- 具有调试模式
- 可通过软件使能，但需要硬件复位或禁止看门狗复位/中断
- 错误/不完整的喂狗时序会令看门狗产生复位/中断（如果使能）
- 安全模式：可以被软件锁定为常开
- 具有指示看门狗复位的标志
- 带内置预分频器的可编程24位定时器
- 可选择 $T_{cy}(WDCLK) \times 4$ 倍数的时间周期：从 $(T_{cy}(WDCLK) \times 256 \times 2)$ 到 $(T_{cy}(WDCLK) \times 224 \times 2)$
- 看门狗时钟（WDCLK）源可以选择内部RC振荡器（IRC）、主时钟或看门狗振荡器，这为看门狗在不同节能模式下提供了较宽的时序选择范围。为了提高可靠性，它还可以使看门狗定时器在内部时钟源下运行，这就与外部晶振及其相关元件无关

7.17 实时时钟 (RTC)

RTC提供了基本的报警功能或者作为一个长时基的计数器。在计数达到编程设定的RTC时钟输入周期数之后，RTC将产生一个中断。

7.17.1 特性

- 专用的32KHz超低功耗振荡器
- 可选时钟输入：RTC振荡器（1Hz,延迟的1Hz,或者1kHz时钟）或者带可编程时钟分频器的主时钟
- 32位计数器
- 可编程的32位匹配/比较寄存器
- 当计数器和比较寄存器相同时产生软件可屏蔽中断
- 可将系统从深度睡眠模式和深度掉电模式中唤醒

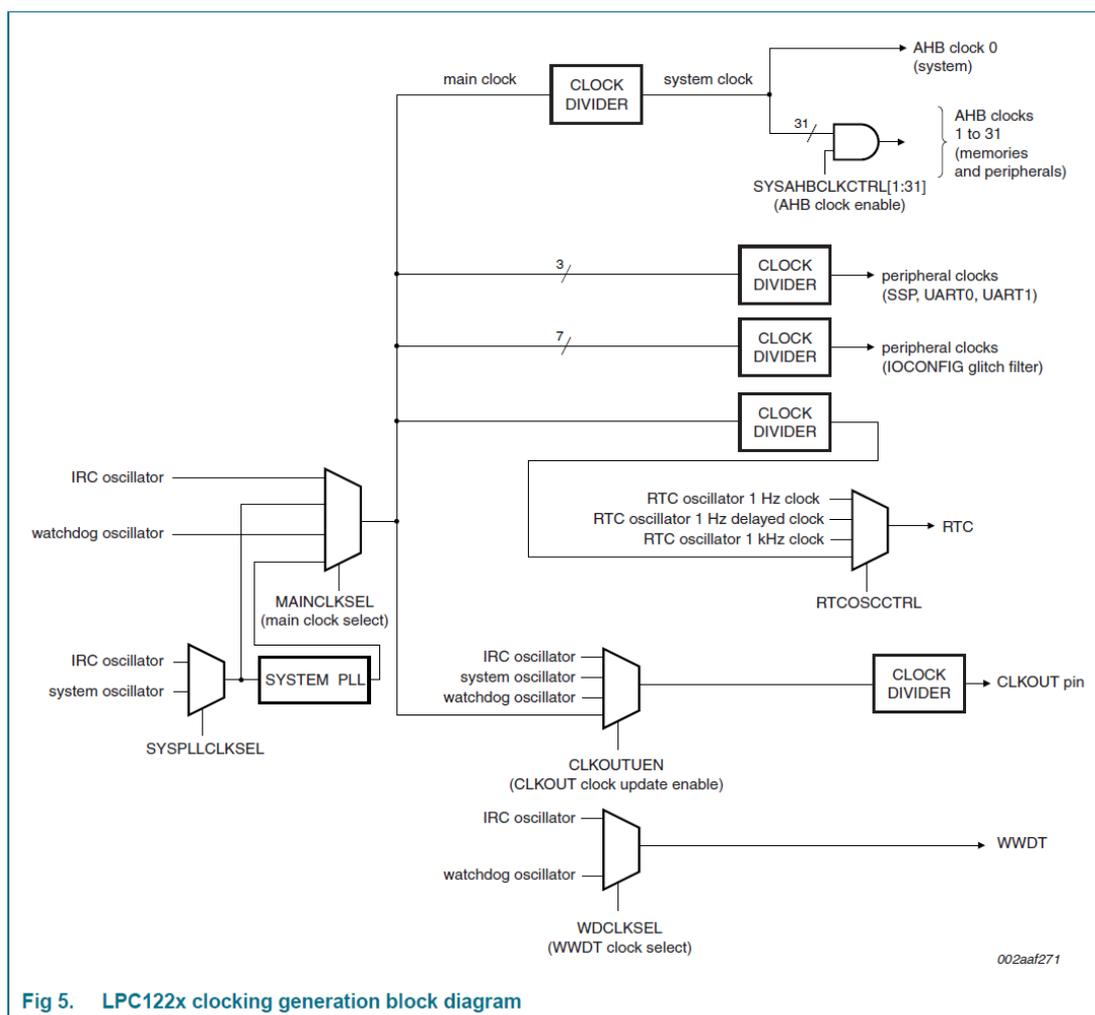
7.18 时钟和电源控制

7.18.1 晶体振荡器

LPC122x含有4个独立的振荡器：系统振荡器、内部RC振荡器（IRC）、实时时钟振荡器（只用于RTC）和看门狗振荡器。除RTC振荡器外，每个振荡器都有不止一项用途，可针对不同应用要求选择使用。

复位后，LPC122x自动选择内部RC振荡器作为系统的时钟源，直到通过软件改变。这使得系统能在没有外部晶振的情况下也可以运行，也使得BootLoader程序能够在确定频率下运行。

图5展示了LPC122x时钟产生的总体框图。



7.18.1.1 内部RC振荡器

内部RC振荡器 (IRC) 可用作看门狗定时器的时钟源,也可以用作驱动PLL和CPU的时钟源。IRC的标称频率为12MHz,在整个电压和温度范围内精度为 $\pm 1\%$ 。

在上电或任何片上复位时, LPC122x使用IRC作为时钟源。此后,用户可通过编程切换到另一种可用的时钟源。

7.18.1.2 系统振荡器

系统振荡器可作为CPU的时钟源(不管是否使用PLL)。系统振荡器工作在1MHz到25MHz下。用户可通过PLL来提高CPU的工作频率,直到CPU的最大工作频率。ARM处理器的时钟频率在本文档的其它地方记做CCLK。

7.18.1.3 看门狗振荡器

看门狗振荡器可用作直接驱动CPU、看门狗定时器或CLKOUT引脚的时钟源。看门狗振荡器的标称频率可以在7.8kHz~1.7MHz范围内编程。在处理过程和温度影响下的频率变化范围是 $\pm 40\%$ 。

7.18.2 系统锁相环 (PLL)

PLL接受的输入时钟频率范围为10MHz~25MHz。输入频率会通过电流控制振荡器(Current Controlled Oscillator, CCO) 倍频到较高频率。倍频系数可以是1至32的整数。CCO的工作频率是

156MHz~320MHz，因此，在环内还有一个分频器保证CCO工作在频率范围内，从而使PLL可以提供所需要的输出频率。PLL的输出频率必须在100 MHz以下。输出分频器应该设置为2、4、6、8或16分频，以产生输出时钟。由于最小输出分频是2分频，保证了PLL的输出有50%的占空比。PLL在芯片复位后被关闭或旁路，需要通过软件使能。程序需要配置和激活PLL，等待PLL锁定，然后连接PLL作为时钟源。PLL的设置时间是100μs。

7.18.3 时钟输出

LPC122x拥有时钟输出功能。可以将内部RC振荡器、系统振荡器、看门狗振荡器或主时钟连接到输出引脚。

7.18.4 唤醒过程

LPC122x在上电和从深度睡眠模式中唤醒，开始工作时用12MHz的内部RC振荡器作为时钟源。这可以使芯片快速的重新工作。如果应用程序需要系统振荡器或者锁相环，就需要软件使能这些功能，并在使用它们作为时钟源之前等待它们稳定。

7.18.5 电源管理

LPC122x支持多种电源控制功能。主要有三种特别的处理器节能模式，分别为睡眠模式、深度睡眠模式和深度掉电模式。CPU的时钟速率也可以通过改变时钟源、重置PLL值和/或改变系统时钟分频值来调整。这样就使得处理器速率和处理器所消耗的功率达到平衡，满足应用的需求。此外，可利用一个寄存器来关闭输出到个别片上外设的时钟，通过关闭所有应用中不必要的外设，减少动态功耗，达到对功耗的细调。被选中的外设都有自己的时钟分频器，可以实现更好的功率控制。

7.18.5.1 睡眠模式

在睡眠模式下，内核的时钟停止。从睡眠模式中恢复不需要特别的操作，只需要重新使能ARM核的时钟。

在睡眠模式下，指令的执行被中止直至复位或中断出现。在睡眠模式下，外设的功能继续运行，并可能产生中断使处理器重新运行。睡眠模式不使用处理器自身的动态电源、存储器系统、相关控制器和内部总线。

7.18.5.2 深度睡眠模式

在深度睡眠模式中，芯片进入睡眠模式，此外各种模拟模块掉电。作为一个例外，用户可以保持看门狗振荡器和BOD电路的运行，从而可以进行自定时的唤醒和BOD保护。深度睡眠模式可以进一步降低功耗。

GPIO引脚PIO0_0到 PIO0_11(最多达12个引脚)和RTC匹配中断可以作为唤醒输入起始逻辑，将芯片从深度睡眠模式中唤醒。

除非在深度睡眠模式中保持了看门狗振荡器的运行，在进入深度睡眠模式之前应将时钟源切换到内部RC振荡器，因为内部RC振荡器可以被无干扰的打开和关闭。

7.18.5.3 深度掉电模式

在深度掉电模式下，整个芯片的电源都关闭(实时时钟、四个通用寄存器和WAKEUP引脚除外)。

LPC122x可以通过WAKEUP引脚和RTC匹配中断从深度掉电模式中唤醒。

当进入深度掉电模式后，需要在WAKEUP引脚添加一个上拉电阻将它保持在高电平。RESET引

脚也应保持在高电平以防止在深度掉电模式中引脚电压出现浮动。

7.19 系统控制

7.19.1 起始逻辑

起始逻辑将外部引脚和嵌套向量中断控制器NVIC相应的中断连接起来。表3和所示的作为起始逻辑输入的每个引脚都在NVIC中断向量表中有一个独立的向量。当芯片在运行中时，起始逻辑引脚可以作为外部中断引脚使用。此外，在所有时钟都关闭的情况下，起始逻辑上的输入信号可以将芯片从深度睡眠模式中唤醒。

起始逻辑必须在使用前在系统配置模块和NVIC中进行配置。

7.19.2 复位

LPC122x有4个复位源：RESET管脚、看门狗复位、上电复位 (POR) 和掉电检测电路(BOD)。RESET管脚为施密特触发式输入管脚。芯片复位可以由任意一个复位源引起，只要工作电压达到规定值，就会启动IRC和初始化Flash控制器。

当内部复位移除时，处理器就在地址0处运行，这里是最先从引导模块映射来的复位向量。这时，所有处理器和外部寄存器已初始化，预先值也设定好了。

如果使用了深度掉电模式，需要在RESET管脚上增加一个上拉电阻。

7.19.3 掉电检测 (Brownout detection, BOD)

LPC122x含有4个电平值来监控 $V_{DD(3V3)}$ 管脚上的电压。当该管脚上的电压低于任何一个选定的电平值时，BOD就会向NVIC发出一个中断信号。为了引起CPU中断，该信号可以使能中断使能寄存器里的中断；如果不能，软件就会通过读取专门的状态寄存器来监控该信号。其他电平值还可以用于芯片强制复位的产生。

7.19.4 代码安全——代码读保护 (Code Read Protection, CRP)

LPC122x的该项功能允许用户使能系统中的不同安全级别，以便限制片内Flash的访问、限制ISP和SWD的使用。需要时，可通过在专用Flash位置编程特定的格式来调用CRP。IAP命令不受代码读保护的影响。

代码读保护有三个等级：

1. CRP1禁止了通过SWD对芯片的访问，允许使用一套限制的ISP命令对Flash进行部分更新（Flash扇区0除外）。当需要CRP，同样需要Flash现场更新但不必将所有的扇区都擦除时，就需要使用这个模式
2. CRP1禁止了通过SWD对芯片的访问，只允许使用一套精简的ISP命令进行整个Flash的擦除和更新
3. 运行使用了CRP3的程序将禁止通过SWD和ISP对芯片的全部访问。这个模式也有效禁止了通过PIO0_12引脚进入ISP模式。用户的应用程序可决定是调用IAP来进行Flash更新还是通过UART0重新调用ISP命令来进行Flash更新

**注意**

如果选择了CRP3，则不再对器件执行更多的厂商测试。

在这三个CRP等级之外，通过有效的用户代码采样PIO0_12也可以被禁止。

7.19.5 APB接口

APB外设被集成在APB总线上。

7.19.6 AHB-Lite

AHB-Lite将ARM Cortex-M0的CPU总线连接到Flash存储器、静态RAM和BootRAM。

7.19.7 外部中断输入

所有的GPIO引脚都可以作为电平或边沿有效的中断输入。

7.20 仿真和调试

ARM Cortex-M0集成了调试功能。支持串行线调试。

7.21 整数除法功能

LPC122x含有性能优化的整数除法功能，它支持最多32位的分子和分母。该功能支持有符号数和无符号数的除法、带余数的除法。整数除法功能是基于ROM的，可以减少代码量。

8. 限定值

表5 限定值

按照最大额定系统（IEC 60134）

Symbol	Parameter	Conditions	Min	Max	Unit
$V_{DD(3V3)}$	supply voltage (3.3 V)		3.0	3.6	V
$V_{DD(I/O)}$	input/output supply voltage		3.0	3.6	V
V_I	input voltage	on all digital pins	[2] -0.5	+3.6	V
		on pins PIO0_10 and PIO0_11 (I ² C-bus pins)	<tbd>	<tbd>	V
I_{DD}	supply current	per supply pin	[3] -	100	mA
I_{SS}	ground current	per ground pin	[3] -	100	mA
I_{latch}	I/O latch-up current	$-(0.5V_{DD}) < V_I < (1.5V_{DD})$; $T_J < 125\text{ }^\circ\text{C}$	-	100	mA
T_{stg}	storage temperature		[4] -65	+150	$^\circ\text{C}$
$P_{tot(pack)}$	total power dissipation (per package)	based on package heat transfer, not device power consumption	-	1.5	W
V_{ESD}	electrostatic discharge voltage	human body model; all pins	[5] -8000	+8000	V

[1] 以下情况适用于限定值:

- a) 产品包括为防止过大的静电效应对内部器件造成损坏而设计的特殊保护电路。然而，建议采用传统的保护

措施以避免器件工作在超过最大额定值的情况

b) 除非另有规定，参数在工作温度范围内有效。除非另有说明，所有的电压都是相对于VSS

[2] 包括3态输出模式下的电压

[3] 电流的峰值被限制在相应最大电流的25倍以下

[4] 和具体的封装形式有关

[5] 人体模型：等效于一个100 pF的电容通过一个串联的1.5 k Ω 的电阻放电

9. 温度参数

平均芯片点温度， $T_j(^{\circ}\text{C})$ ，可以使用下面的公式计算：

$$T_j = T_{\text{amb}} + (P_D \times R_{\text{th(j-a)}})$$

- T_{amb} = 周围环境温度(围环境)
- $R_{\text{th(j-a)}}$ = 封装点到周围环境的热电阻(装点到周围环境 P_D = 内部和IO浪费功率之和)

内部功率浪费时由 I_{DD} 和 V_{DD} 产生的。IO的功率浪费通常很小，很多情况下都将其忽略。尽管如此，在许多应用中它还是很重要的。

表6温度参数

除非特别说明， V_{DD} = 3.0 V到3.6 V; T_{amb} = -40 V到+85 V;

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$R_{\text{th(j-a)}}$	thermal resistance from junction to ambient	JEDEC test board; no air flow	-			
		LQFP64 package		61	-	$^{\circ}\text{C/W}$
		LQFP48 package		86	-	$^{\circ}\text{C/W}$
$R_{\text{th(j-c)}}$	thermal resistance from junction to case	JEDEC test board	-			
		LQFP64 package		19	-	$^{\circ}\text{C/W}$
		LQFP48 package		36	-	$^{\circ}\text{C/W}$
$T_{\text{j(max)}}$	maximum junction temperature		-	-	150	$^{\circ}\text{C}$

10. 静态参数

表7 静态参数

除非特别说明, $T_{amb} = -40 \text{ } ^\circ\text{C}$ 到 $T_{amb} = 125 \text{ } ^\circ\text{C}$ 下都

Symbol	Parameter	Conditions	Min	Typ ^[1]	Max	Unit
$V_{DD(I/O)}$	input/output supply voltage	on pin $V_{DD(I/O)}$	3.0	3.3	3.6	V
$V_{DD(3V3)}$	supply voltage (3.3 V)		3.0	3.3	3.6	V
I_{DD}	supply current	Active mode; $V_{DD(3V3)} = 3.3 \text{ V}$; $T_{amb} = 25 \text{ } ^\circ\text{C}$; code while (1) {} executed from flash				
		all peripherals disabled:				
		CCLK = 12 MHz	-	3.1	-	mA
		CCLK = 24 MHz	-	5.6	-	mA
		CCLK = 33 MHz	-	8.1	-	mA
		all peripherals enabled:				
		CCLK = 12 MHz	-	5.3	-	mA
		CCLK = 24 MHz	-	9.5	-	mA
		CCLK = 33 MHz	-	13.7	-	mA
		Sleep mode; $V_{DD(3V3)} = 3.3 \text{ V}$; $T_{amb} = 25 \text{ } ^\circ\text{C}$; all peripherals disabled				
		CCLK = 12 MHz	-	2.0	-	mA
		CCLK = 24 MHz	-	3.5	-	mA
		CCLK = 33 MHz	-	5.0	-	mA
		Deep-sleep mode; $V_{DD(3V3)} = 3.3 \text{ V}$; $T_{amb} = 25 \text{ } ^\circ\text{C}$	-	23.5	-	μA
		Deep power-down mode; $V_{DD(3V3)} = 3.3 \text{ V}$; $T_{amb} = 25 \text{ } ^\circ\text{C}$	-	680	-	nA
Standard port pins, RESET						
I_{IL}	LOW-level input current	$V_I = 0 \text{ V}$;	-	-	1	μA
I_{IH}	HIGH-level input current	$V_I = V_{DD(I/O)}$;	-	-	1	μA
I_{OZ}	OFF-state output current	$V_O = 0 \text{ V}$; $V_O = V_{DD(I/O)}$;	-	-	1	μA
V_I	input voltage	pin configured to provide a digital function	^{[2][3][4]} 0	-	$V_{DD(I/O)}$	V
V_O	output voltage	output active	0	-	$V_{DD(I/O)}$	V
V_{IH}	HIGH-level input voltage		$0.7V_{DD(I/O)}$	-	-	V

Symbol	Parameter	Conditions	Min	Typ ^[1]	Max	Unit
V _{IL}	LOW-level input voltage		-	-	0.3V _{DD(I/O)}	V
V _{hys}	hysteresis voltage		-	0.4	-	V
V _{OH}	HIGH-level output voltage	I _{OH} = -4 mA	2.4	-	-	V
V _{OL}	LOW-level output voltage	I _{OL} = 4 mA	-	-	0.4	V
I _{OH}	HIGH-level output current	V _{OH} = 2.4 V Normal-drive pins; low mode	[5] 3.9	7.8	12.9	mA
		Normal-drive pins; high mode	[5] 7.7	15.6	25.8	mA
		High-drive pins; low mode	[6] 17.4	35.1	58.1	mA
		High-drive pins; high mode	[6] 23.1	46.8	77.5	mA
I _{OL}	LOW-level output current	V _{OL} = 0.4 V Normal-drive pins; low mode	[5] 3.4	5.4	7.4	mA
		Normal-drive pins; high mode	[5] 6.7	10.7	14.7	mA
		High-drive pins; low mode	[6] 13.4	21.5	29.4	mA
		High-drive pins; high mode	[6] 20.1	32.2	44.1	mA
I _{OHS}	HIGH-level short-circuit output current	V _{OH} = 0 V	[7] -	-	-45	mA
I _{OLS}	LOW-level short-circuit output current	V _{OL} = V _{DDA}	[7] -	-	50	mA
I _{pu}	pull-up current	V _I = 0 V	-50	-80	-100	μA
I²C-bus pins (PIO0_10 and PIO0_11)						
V _{IH}	HIGH-level input voltage		0.7V _{DD(I/O)}	-	-	V
V _{IL}	LOW-level input voltage		-	-	0.3V _{DD(I/O)}	V
V _{hys}	hysteresis voltage		-	0.05V _{DD(I/O)}	-	V
V _{OL}	LOW-level output voltage	I _{OLS} = 20 mA	-	-	0.4	V
I _{LI}	input leakage current	V _I = V _{DD(I/O)}	[8] -	2	4	μA
		V _I = 5 V	-	10	22	μA
C _i	capacitance for each I/O pin	on pins PIO0_10 and PIO0_11	-	-	8	pF
Symbol						
Parameter						
Conditions						
Min						
Typ^[1]						
Max						
Unit						
Oscillator pins						
V _{i(xtal)}	crystal input voltage		0	1.8	1.95	V
V _{o(xtal)}	crystal output voltage		0	1.8	1.95	V

[1] 典型值并不是一成不变的。表中所列的值是在室温 (25°C)，标称电源电压下的值

[2] 包括3态模式输出下的电压

[3] 必须提供VDD和VDD (3V3) 电压

[4] 当VDD (IO)接地时，3态输出进入3态模式

[5] 一般驱动输出适用于所有GPIO引脚，PIO0_12, PIO0_27, PIO0_28, PIO0_29除外

[6] 高驱动输出模式在PIO0_12, PIO0_27, PIO0_28, PIO0_29引脚有效

[7] 只要限制电流不超过器件的最大允许电流

[8] 相对于VSS

10.1 外设的功耗

每个外设的供电电流的测量是通过设置SYSAHBCLKCFG和PDRUNCFG（用于模拟模块）寄存器，来得到外设使能时和禁止外设时的电流差值。所有其它的外设在寄存器中被禁止，也不执行代码。测量时的温度是 $T_{amb} = 25\text{ }^{\circ}\text{C}$ 。除非有另外的说明，在测量时，都要运行系统振荡器和锁相环。

表中给出的是系统时钟频率下的供电电流（待定，tdb）

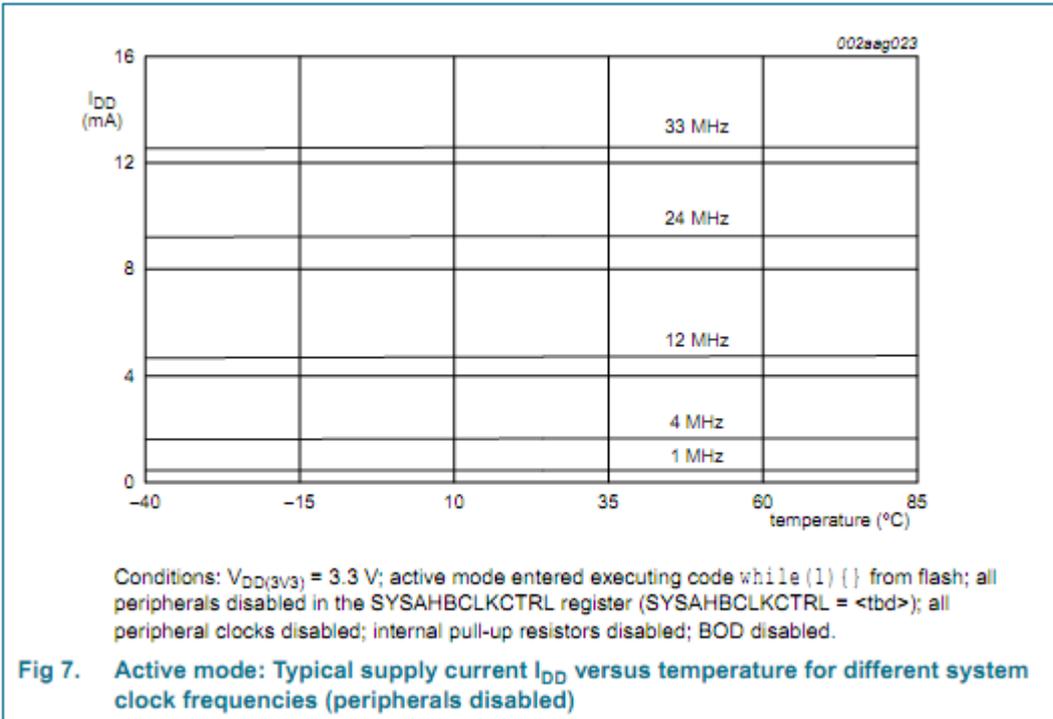
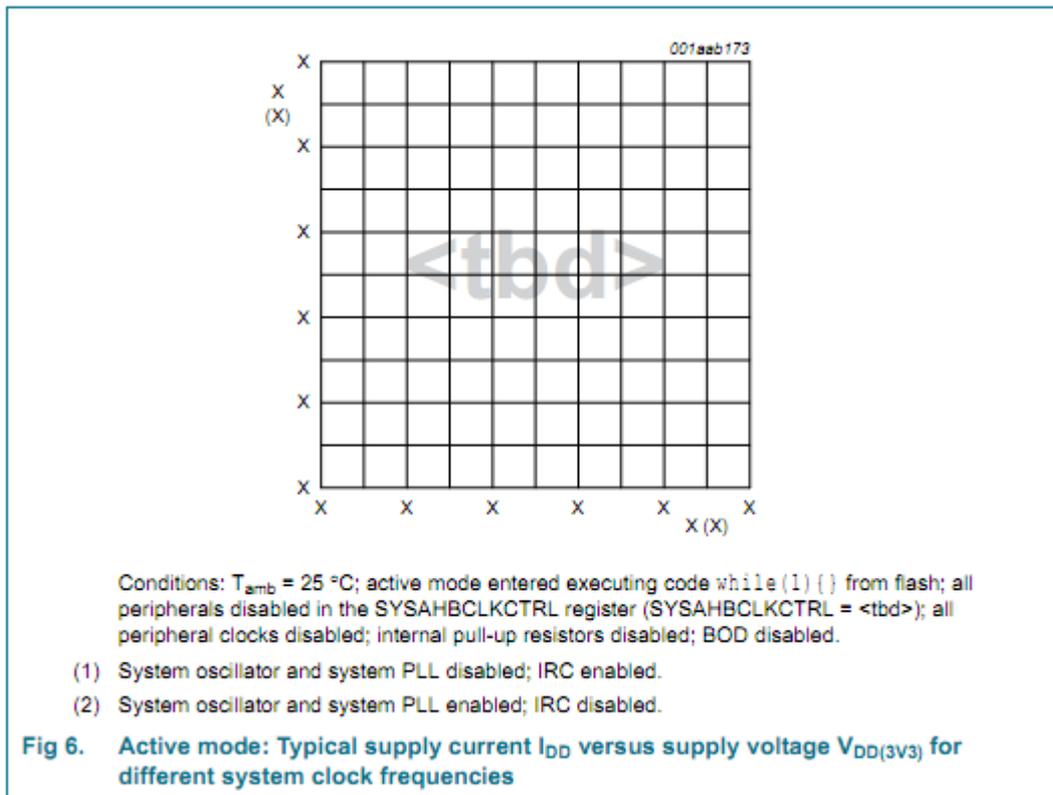
表8 各模拟和数字模块的功耗

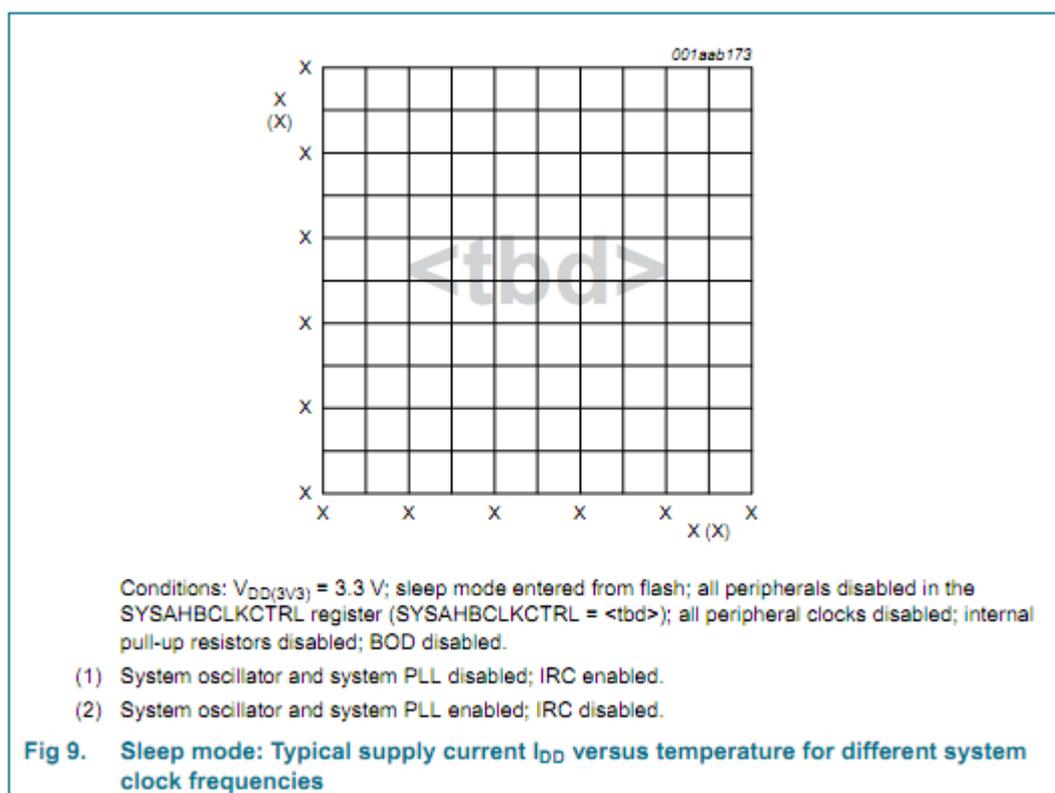
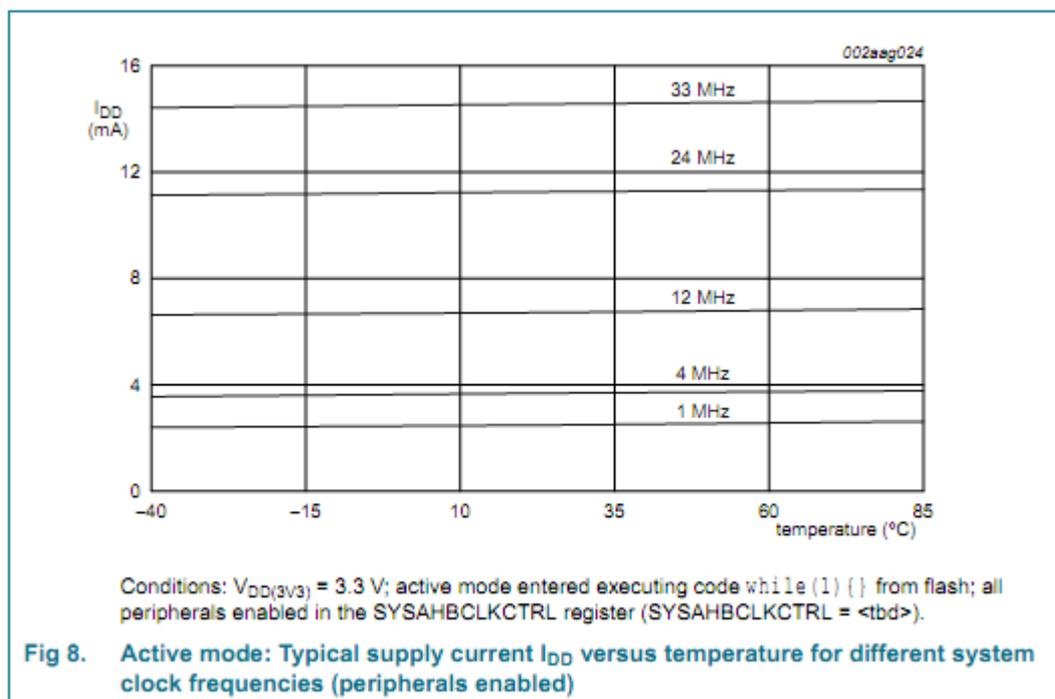
Peripheral	Typical supply current in mA			Notes
	n/a	12 MHz	<tdb>	
IRC	<tdb>	-	-	<tdb>
System oscillator at 12 MHz	<tdb>	-	-	<tdb>
Watchdog oscillator at 500 kHz/2	<tdb>	-	-	<tdb>
BOD	<tdb>	-	-	<tdb>
Main PLL	-	<tdb>	<tdb>	<tdb>
CRC	-	<tdb>	<tdb>	<tdb>
16-bit timer 0 (CT16B0)	-	<tdb>	<tdb>	<tdb>
16-bit timer 1 (CT16B1)	-	<tdb>	<tdb>	<tdb>
32-bit timer 0 (CT32B0)	-	<tdb>	<tdb>	<tdb>
32-bit timer 1 (CT32B1)	-	<tdb>	<tdb>	<tdb>
SSP/SPI	-	<tdb>	<tdb>	<tdb>
UART0	-	<tdb>	<tdb>	<tdb>
UART1	-	<tdb>	<tdb>	<tdb>
ADC	-	<tdb>	<tdb>	<tdb>
WWDT	-	<tdb>	<tdb>	<tdb>
DMA	-	<tdb>	<tdb>	<tdb>
RTC	-	<tdb>	<tdb>	<tdb>
Comparator	-	<tdb>	<tdb>	<tdb>
SysTick timer	-	<tdb>	<tdb>	<tdb>

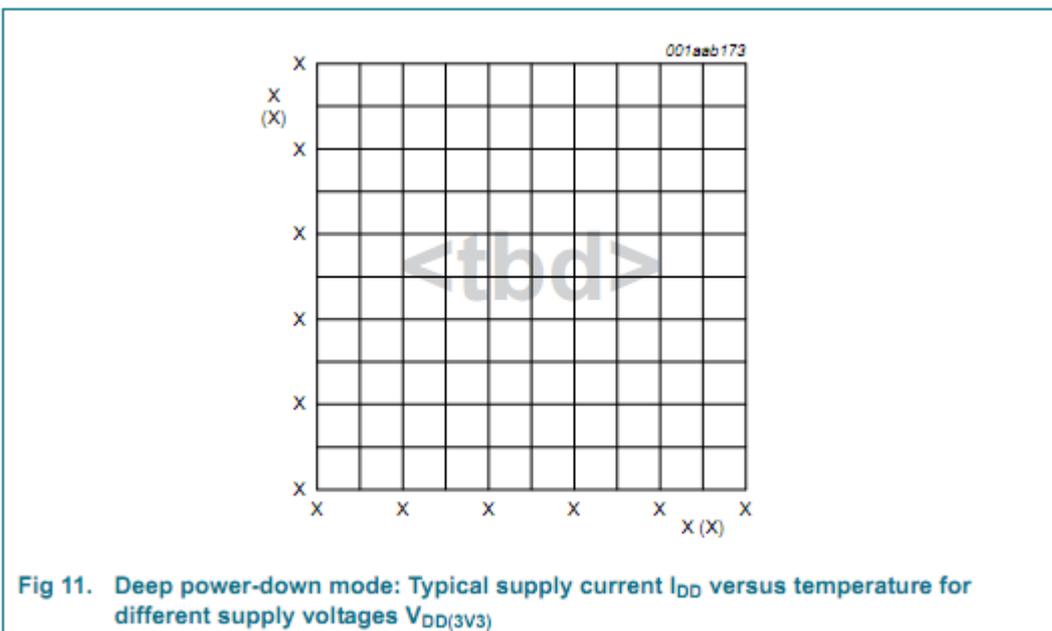
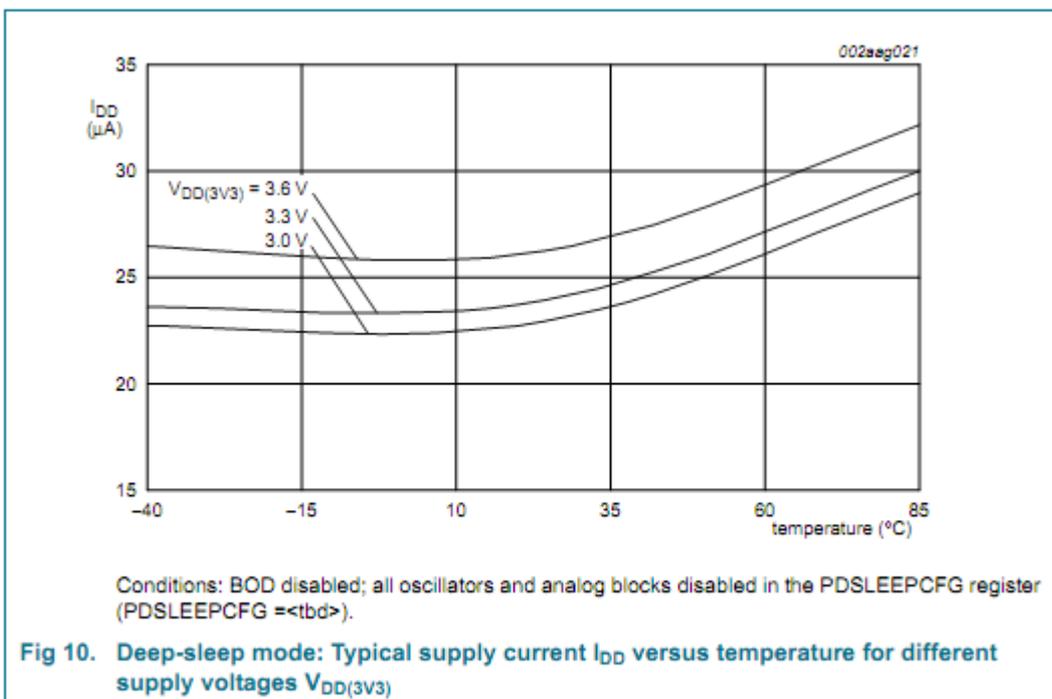
10.2 功耗

运行、睡眠和深度睡眠模式下的功率测量是在下面的条件下进行的（见LPC122x用户手册）：

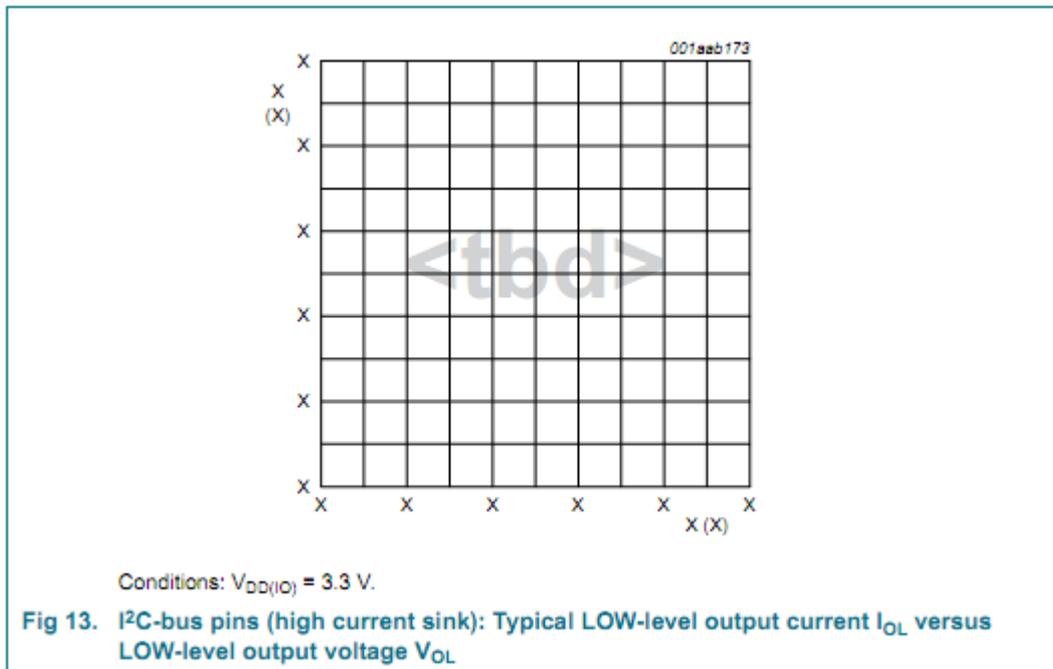
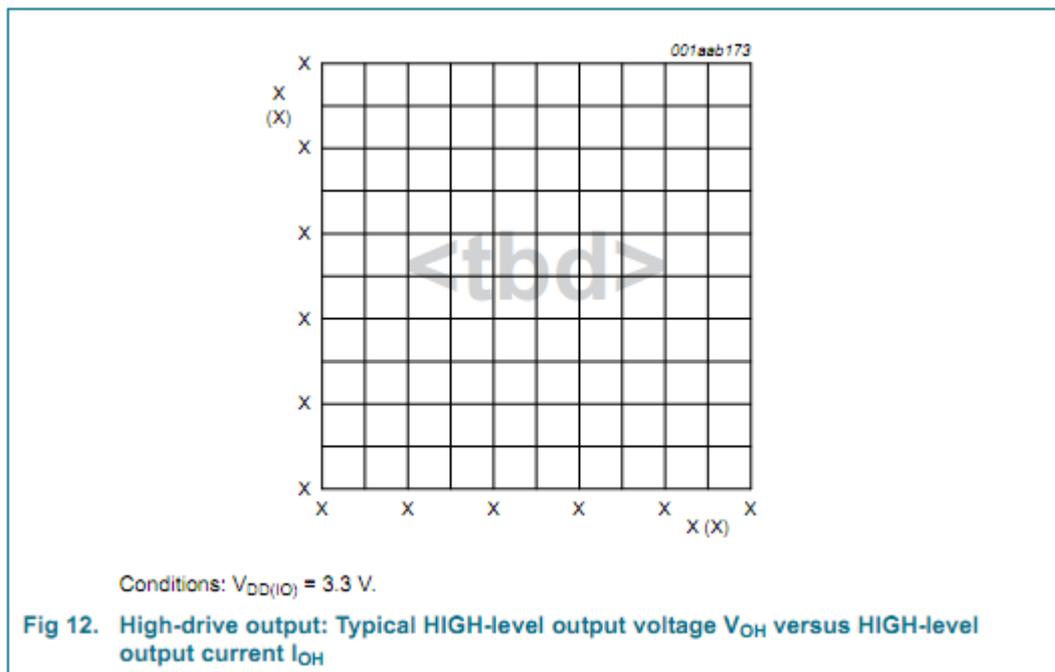
- <tdb>I
- <tdb>

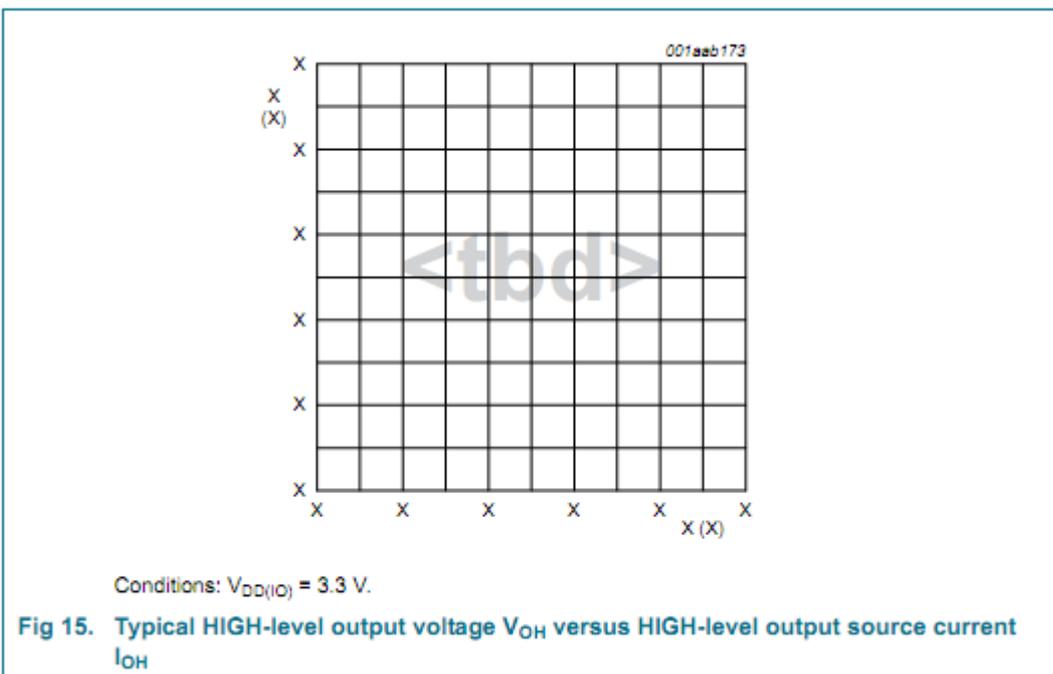
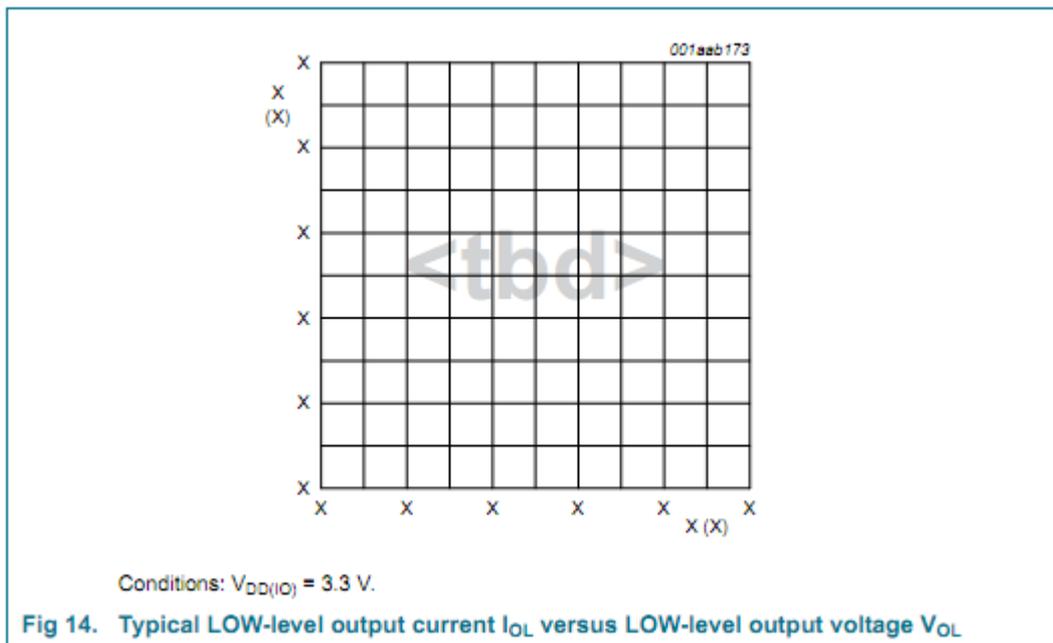


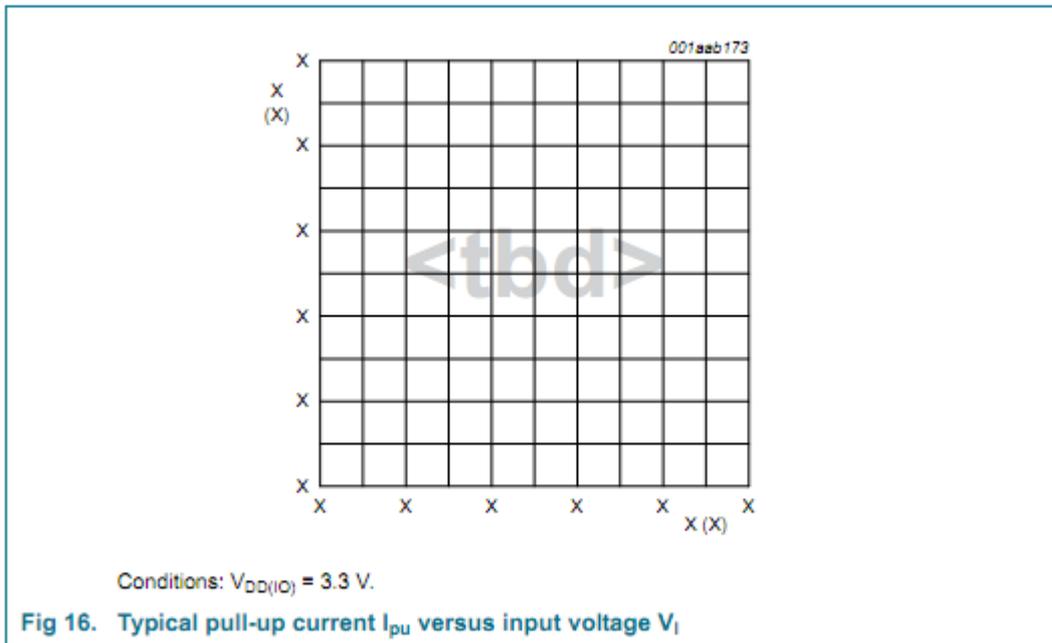




10.3 电气引脚参数







10.4 ADC参数

表9 ADC静态参数

除非有特殊说明, $T_{amb} = -40 \text{ b} =$, 睡眠模式下的功; ADC采样频率为9MHz, $V_{DD} = 3.0 \text{ V}$ 到3.6 V。

Symbol	Parameter	Conditions	Min	Typ ^[1]	Max	Unit
V_{IA}	analog input voltage		0	-	$V_{DD(3V3)}$	V
C_{ia}	analog input capacitance		-	-	1	pF
E_D	differential linearity error	[2][3][4]	-	-	± 1	LSB
$E_{L(adj)}$	integral non-linearity	[2][5]	-	-	± 2.5	LSB
E_O	offset error	[2][6]	-	-	± 1	LSB
E_G	gain error	[2][7]	-	-	± 3	LSB
E_T	absolute error	[2][8]	-	-	± 3	LSB
$f_{c(ADC)}$	ADC conversion frequency		-	-	257	kHz

[1] 典型值并不是一成不变的。表中所列的值是在室温（25°C），标称电源电压下的值

[2] 测试条件: $V_{SS} = 0V$, $V_{DD(3V3)} = 3.3V$

[3] ADC是单调的，没有丢失的编码

[4] 微分线性误差（ED）是实际步长和理想步长之间的差值。见图17

[5] 积分非线性(EL(adj))是实际步骤中心与经过适当调整增益和偏移误差的理想转换曲线之间的峰值差异。见图17

[6] 偏移误差(EO)是根据实际曲线近似的直线和根据理想曲线近似的直线之间的绝对偏差。见图17

[7] 增益误差(EG)是以百分数形式表示的相对误差，它是在去除偏移误差后根据实际转换曲线近似的直线和根据理想曲线近似的直线之间的偏差。见图17

[8] 绝对误差(ET)是非校准ADC实际转换曲线的步距中心和理想转换曲线之间的最大偏差。见图17

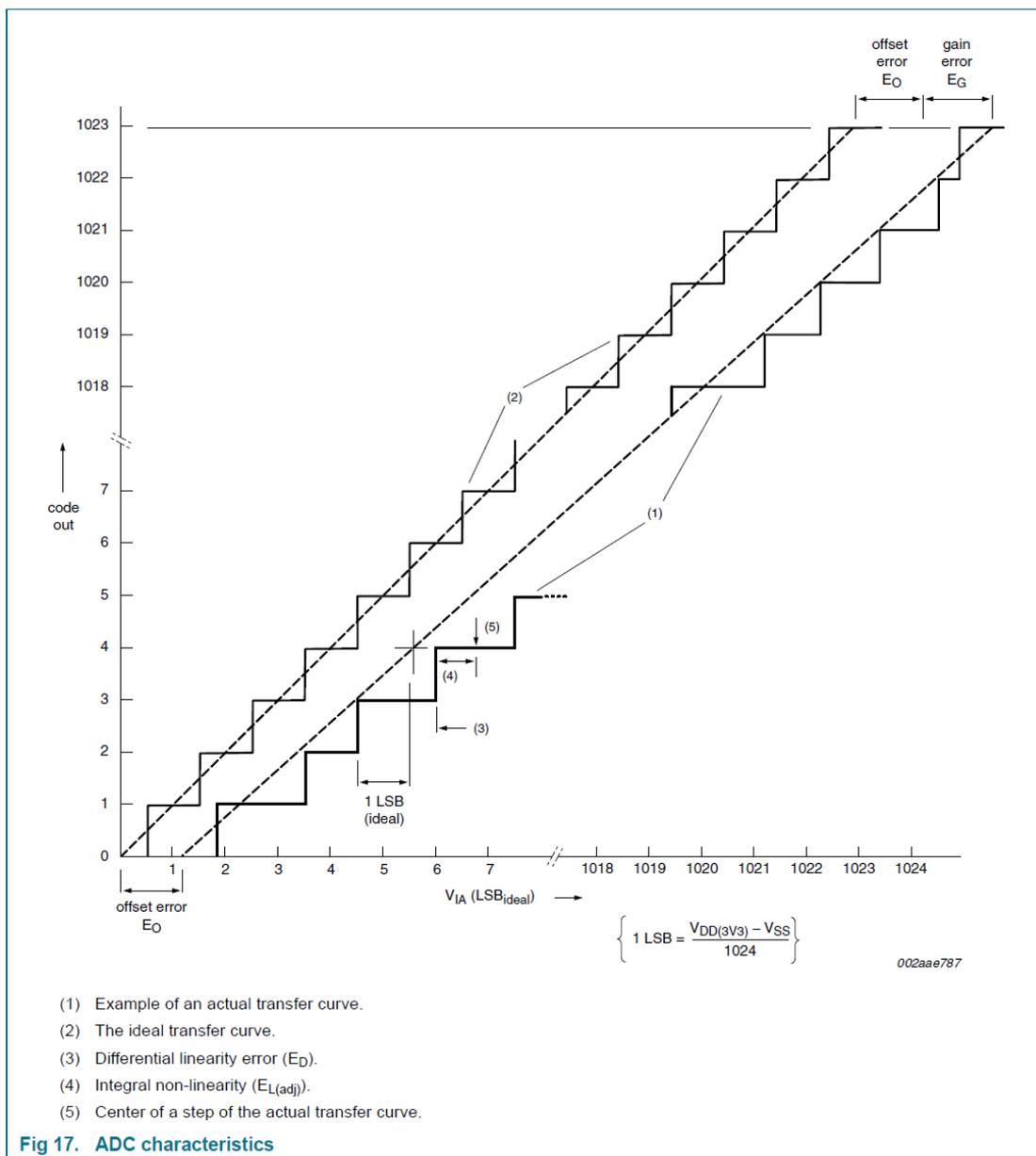


Fig 17. ADC characteristics

10.5 掉电检测 (BOD) 静态参数

表10 BOD静态参数[1]

Tamb =25 ° C.

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{th}	threshold voltage	interrupt level 1				
		assertion	-	2.25	-	V
		de-assertion	-	2.39	-	V
		interrupt level 2				
		assertion	-	2.54	-	V
		de-assertion	-	2.67	-	V
		interrupt level 3				
		assertion	-	2.83	-	V
		de-assertion	-	2.93	-	V
		reset level 1				
		assertion	-	2.04	-	V
		de-assertion	-	2.18	-	V
		reset level 2				
		assertion	-	2.34	-	V
		de-assertion	-	2.47	-	V
		reset level 3				
		assertion	-	2.62	-	V
		de-assertion	-	2.76	-	V

[1] 中断等级是通过向BOD控制寄存器BODCTRL中写入等级数值来设定的，请参见LPC122x用户手册。

11. 动态参数

11.1 动态参数: Flash 存储器

表11 Flash特性

Tamb = -40 °C to +85 °C, V_{DD(3V3)}在要求范围内。

Symbol	Parameter	Conditions	Min	Max	Unit
t _{er}	erase time	for one page (512 byte)	[1] -	20	ms
		for one sector (4 kB)	[1] -	162	ms
		for all sectors; mass erase	[1] -	20	ms
t _{prog}	programming time	one word (4 bytes)	[1] -	49	μs
		four sequential words	[1] -	194	μs
		128 bytes (one row of 32 words)	[1] -	765	μs
N _{endu}	endurance		[2] 20000	-	cycles
t _{ret}	retention time		10	-	years

[1] 擦除和编程的次数在器件的寿命时间内有效（最少20000周期）

[2] 编程/擦写的周期数

11.2 外部时钟

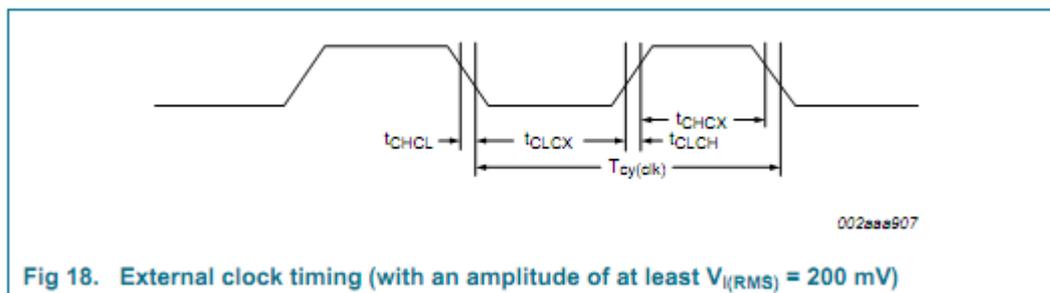
表12. 动态参数: 外部时钟

Tamb = -40 °C to +85 °C; V_{DD} (3V3) 在指定的范围内。

Symbol	Parameter	Conditions	Min	Typ ^[2]	Max	Unit
f _{osc}	oscillator frequency		1	-	25	MHz
T _{cy(clk)}	clock cycle time		40	-	1000	ns
t _{CHCX}	clock HIGH time		T _{cy(clk)} × 0.4	-	-	ns
t _{CLCX}	clock LOW time		T _{cy(clk)} × 0.4	-	-	ns
t _{CLCH}	clock rise time		-	-	5	ns
t _{CHCL}	clock fall time		-	-	5	ns

[1] 除非特别说明，各参数在工作温度范围内有效

[2] 典型值并不是一成不变的。表中所列的值是在室温（25°C），标称电源电压下的值。



11.3 内部振荡器

表13. 动态参数：内部振荡器

Tamb = -40 b = 振荡器值。表中所列的值是在（3V3）在指定的范围内。

Symbol	Parameter	Conditions	Min	Typ ^[2]	Max	Unit
f _{osc(RC)}	internal RC oscillator frequency	-	11.88	12	12.12	MHz

[1] 除非特别说明，各参数在工作温度范围内有效

[2] 典型值并不是一成不变的。表中所列的值是在标称电源电压下的值

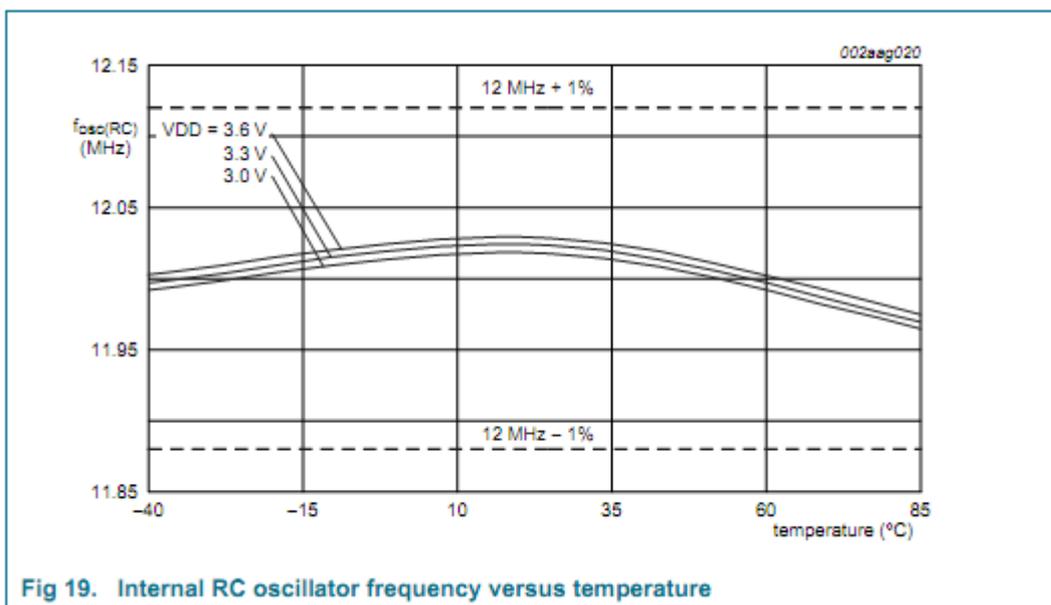


Fig 19. Internal RC oscillator frequency versus temperature

表14 动态参数：看门狗振荡器

Symbol	Parameter	Conditions	Min	Typ ^[1]	Max	Unit
f _{osc(Int)}	internal oscillator frequency	DIVSEL = 0x1F, FREQSEL = 0x1 in the WDTOSCCTRL register;	[2][3]	7.8	-	kHz
		DIVSEL = 0x00, FREQSEL = 0xF in the WDTOSCCTRL register	[2][3]	1700	-	kHz

[1] 典型值并不是一成不变的。表中所列的值是在室温（25°C），标称电源电压下的值

[2] 在运行过程和温度下(Tamb = -40 mb = 下的值。表中所)，典型频率的变化范围是±40%

[3] 参见LPC122x用户手册

11.4 I2C总线

表15动态特性：I2C总线引脚

Tamb=-40mb到+85 : 2x

Table 15. Dynamic characteristic: I²C-bus pins $T_{amb} = -40\text{ }^{\circ}\text{C to }+85\text{ }^{\circ}\text{C}$ [1]

Symbol	Parameter	Conditions	Min	Max	Unit
f _{SCL}	SCL clock frequency	Standard-mode	0	100	kHz
		Fast-mode	0	400	kHz
		Fast-mode Plus	0	1	MHz

Table 15. Dynamic characteristic: I²C-bus pins $T_{amb} = -40\text{ }^{\circ}\text{C to }+85\text{ }^{\circ}\text{C}$ [1]

Symbol	Parameter	Conditions	Min	Max	Unit
t _f	fall time [3][4][5][6]	of both SDA and SCL signals	-	300	ns
		Standard-mode			
		Fast-mode	$20 + 0.1 \times C_b$	300	ns
t _{LOW}	LOW period of the SCL clock	Fast-mode Plus	-	120	ns
		Standard-mode	4.7	-	μs
		Fast-mode	1.3	-	μs
t _{HIGH}	HIGH period of the SCL clock	Fast-mode Plus	0.5	-	μs
		Standard-mode	4.0	-	μs
		Fast-mode	0.6	-	μs
t _{HD;DAT}	data hold time [2][3][7]	Fast-mode Plus	0.26	-	μs
		Standard-mode	0	-	μs
		Fast-mode	0	-	μs
t _{SU;DAT}	data set-up time [8][9]	Fast-mode Plus	0	-	μs
		Standard-mode	250	-	ns
		Fast-mode	100	-	ns
		Fast-mode Plus	50	-	ns

- [1] 除非特别说明，参数在工作温度范围内有效
- [2] t_{HD;DAT}是自SCL的下降沿开始测量的数据保持时间；适用于传输和应答的数据
- [3] 器件必须在内部为SDA信号提供至少300ns的保持时间（和SCL信号的VIH(min)时间有关），以桥接SCL下降沿的未定义区域
- [4] C_b是总线上的总电容值，单位是pF
- [5] SDA和SCL线上的t_f值指定为300ns。SDA输出级的最大下降时间t_f指定为250ns。这样就允许在SDA和SCL管脚之间和SDA和SCL线上连接一系列电阻，而不超过t_f指定的最大值
- [6] 在Fast-mode Plus功能下，下降时间被规定为和输出级与总线时序一样。如果使用了串联电阻，设计师在考虑总线时序时可以允许这种情况
- [7] t_{HD;DAT}的最大值针对标准模式和快速模式可以分别是3.45和快和0.95和，但转换时间必须小于t_{VD;DAT}或t_{VD;ACK}的最大值（见UM10204）。如果器件没有延长“低”时间（t_{LOW}），这个最大值必须符合。如果时钟延长了SCL，数据必须在释放时钟之前被set-up时间激活
- [8] t_{SU;DAT}是数据的set-up时间，是在SCL的上升沿测量的；适用于传输和应答的数据
- [9] 一个I²C总线快速模式的器件可以用于一个标准的I²C总线系统，但t_{SU;DAT}=250ns的条件必须满足。如果器件没有延长SCL信号的“低”时间，上述情况是自动完成的。如果器件延长了SCL信号的“低”时间，它就必须要在SCL线被释放之前 $t_r(\max) + t_{SU;DAT} = 1000 + 250 = 1250\text{ ns}$ （根据I²C总线标准模式的详细说明）向SDA线输出下一个数据位。应答时序也必须满足这个set-up时间

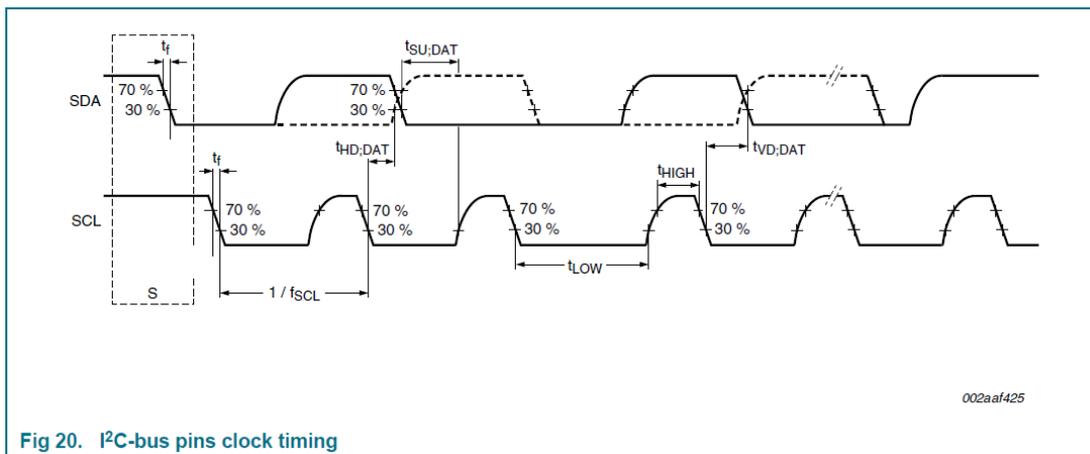


Fig 20. I²C-bus pins clock timing

11.5 SSP/SPI接口

表16 动态特性：SPI模式下的SSP引脚

Tamb = 25 应答

Symbol	Parameter	Conditions	Min	Max	Unit
$T_{cy}(clk)$	clock cycle time	when only transmitting	<tbid>	-	ns
		when only receiving	<tbid>	-	
SSP master					
t_{DS}	data set-up time	in SPI mode	15	-	ns
t_{DH}	data hold time	in SPI mode	0	-	ns
$t_{V(Q)}$	data output valid time	in SPI mode	-	10	ns
$t_{H(Q)}$	data output hold time	in SPI mode	0	-	ns
SSP slave					
t_{DS}	data set-up time	in SPI mode	0	-	ns
t_{DH}	data hold time	in SPI mode	$3 \times T_{cy}(PCLK) + 4$	-	ns
$t_{V(Q)}$	data output valid time	in SPI mode	-	$3 \times T_{cy}(PCLK) + 11$	ns
$t_{H(Q)}$	data output hold time	in SPI mode	-	$2 \times T_{cy}(PCLK) + 5$	ns

[1] $T_{cy}(clk) = (SSPCLKDIV / 00 + 250 = 1250 \text{ ns})$ 据理想曲线近似的直线之间。来自SPI位速率的时钟周期 $T_{cy}(clk)$ 是主时钟频率 f_{main} ，SPI外设时钟分频系数(SSPCLKDIV)，SPI的SCR参数（在SSP0CR0寄存器中指定），SPI的CPSDVSR参数（在SPI时钟预分频寄存器中指定）的函数

[2] Tamb = -40 b指定)的函数数)的函, VDD(3V3)=3.0V to 3.6V; VDD(IO)=3.0V to 3.6V

[3] $T_{cy}(clk) = 12 \text{ } 12 \text{ } .6V; VD$

[4] Tamb = 25 12 VDD(3V3)=3.3V;VDD(IO)=3.3V

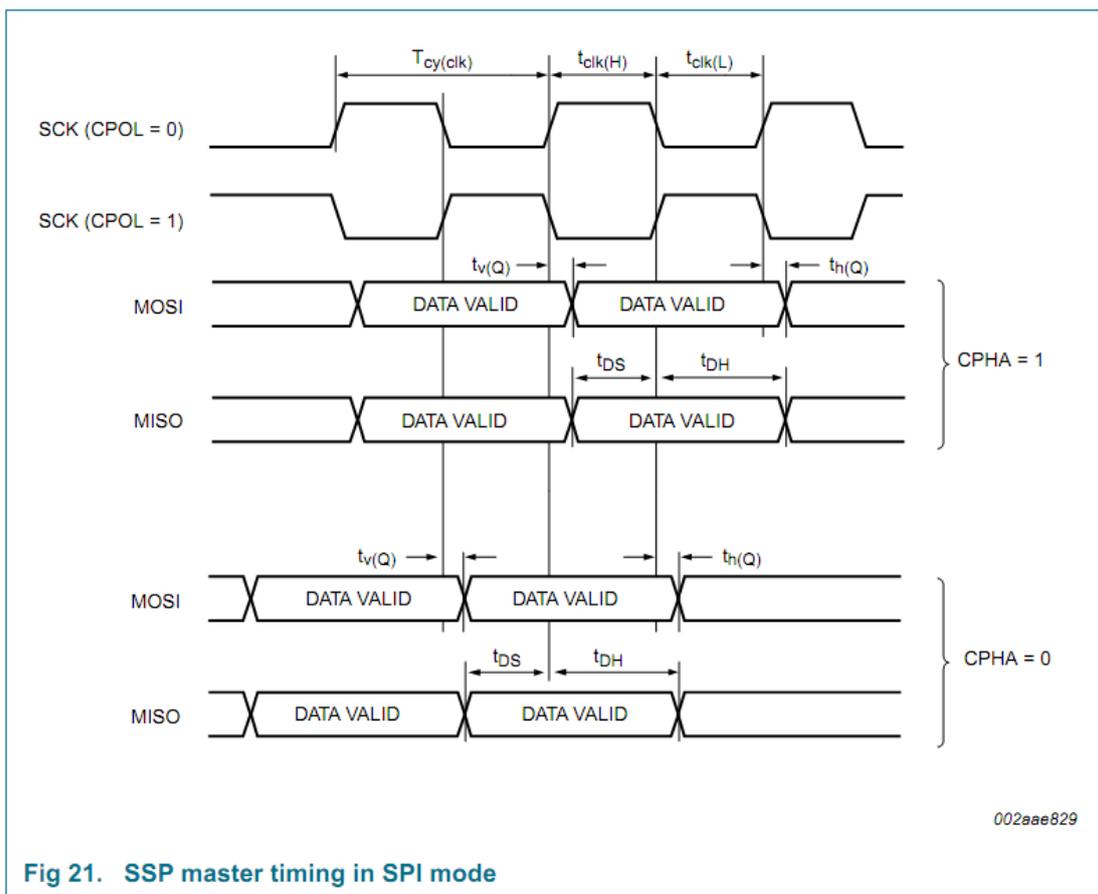


Fig 21. SSP master timing in SPI mode

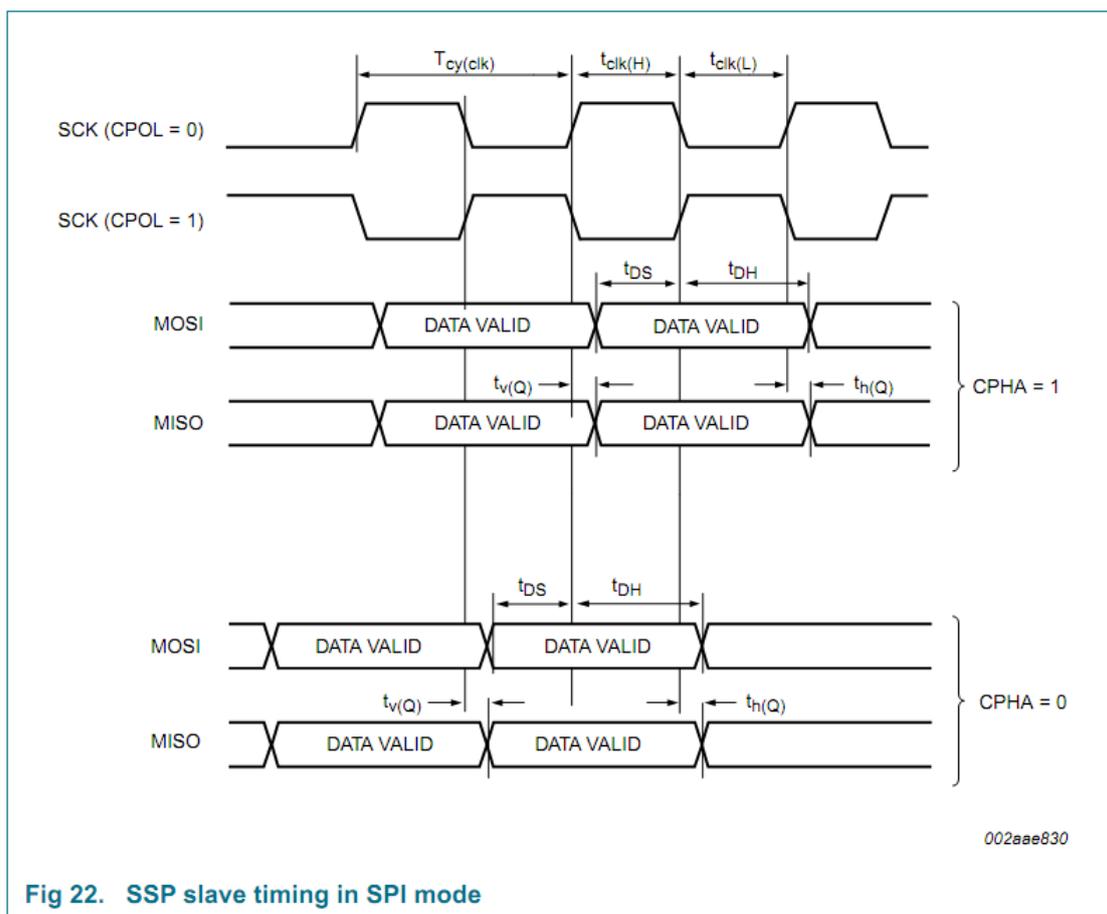


Fig 22. SSP slave timing in SPI mode

12. 应用信息

12.1 XTAL输入

片上振荡器的输入电压限制为1.8V。如果振荡器被一个从模式的时钟驱动，建议时钟输入连接一个 $C_i = 100\text{ pF}$ 的电容。为了将输入的电压限制在一个指定的范围内，选择一个连接到地的附加电阻 C_g ，这样就可以将输入电压变小，系数为 $C_i / (C_i + C_g)$ 。在从模式下，需要的最小值是200 mV (RMS)。

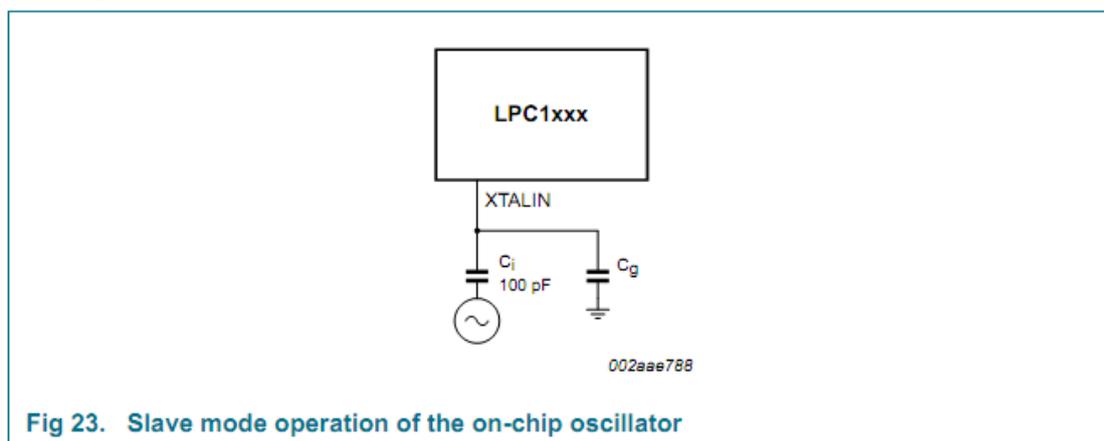


Fig 23. Slave mode operation of the on-chip oscillator

12.2 XTAL 印制电路板 (PCB) 布板指导

PCB板上的晶振应尽量靠近芯片振荡器的输入和输出引脚。注意，负载电容 C_{x1} ， C_{x2} 和使用第三泛音晶振时用到的 C_{x3} 有一个共同的地。外部的器件也必须连接到这个地。为了使通过PCB的噪声耦合尽量小，应使回路尽量小。寄生噪声也应该尽量小。 C_{x1} 和 C_{x2} 的取值应根据PCB板寄生噪声的增加而减小。

12.3 电磁兼容 (EMC)

辐射发射测量根据IEC61967-2标准，采用TEM-cell方法，LPC1227FBD64/301的测试结果表示在表17中。

表17 LPC1227FBD64/301器件的电磁兼容（TEM-cell方法）

VDD = 3.3 V; Tamb = 25 该尽量

Parameter	Frequency band	System clock =			Unit
		12 MHz	24 MHz	33 MHz	
Input clock: IRC (12 MHz)					
maximum peak level	150 kHz - 30 MHz	<tbd>	<tbd>	<tbd>	dB μ V
	30 MHz - 150 MHz	<tbd>	<tbd>	<tbd>	dB μ V
	150 MHz - 1 GHz	<tbd>	<tbd>	<tbd>	dB μ V
IEC level ^[1]	-	<tbd>	<tbd>	<tbd>	-
Input clock: crystal oscillator (12 MHz)					
maximum peak level	150 kHz - 30 MHz	<tbd>	<tbd>	<tbd>	dB μ V
	30 MHz - 150 MHz	<tbd>	<tbd>	<tbd>	dB μ V
	150 MHz - 1 GHz	<tbd>	<tbd>	<tbd>	dB μ V
IEC level ^[1]	-	<tbd>	<tbd>	<tbd>	-

[1] IEC等级请参加IEC61967-2规范的附录D。

13. 封装外型

LQFP64: plastic low profile quad flat package; 64 leads; body 10 x 10 x 1.4 mm

SOT314-2

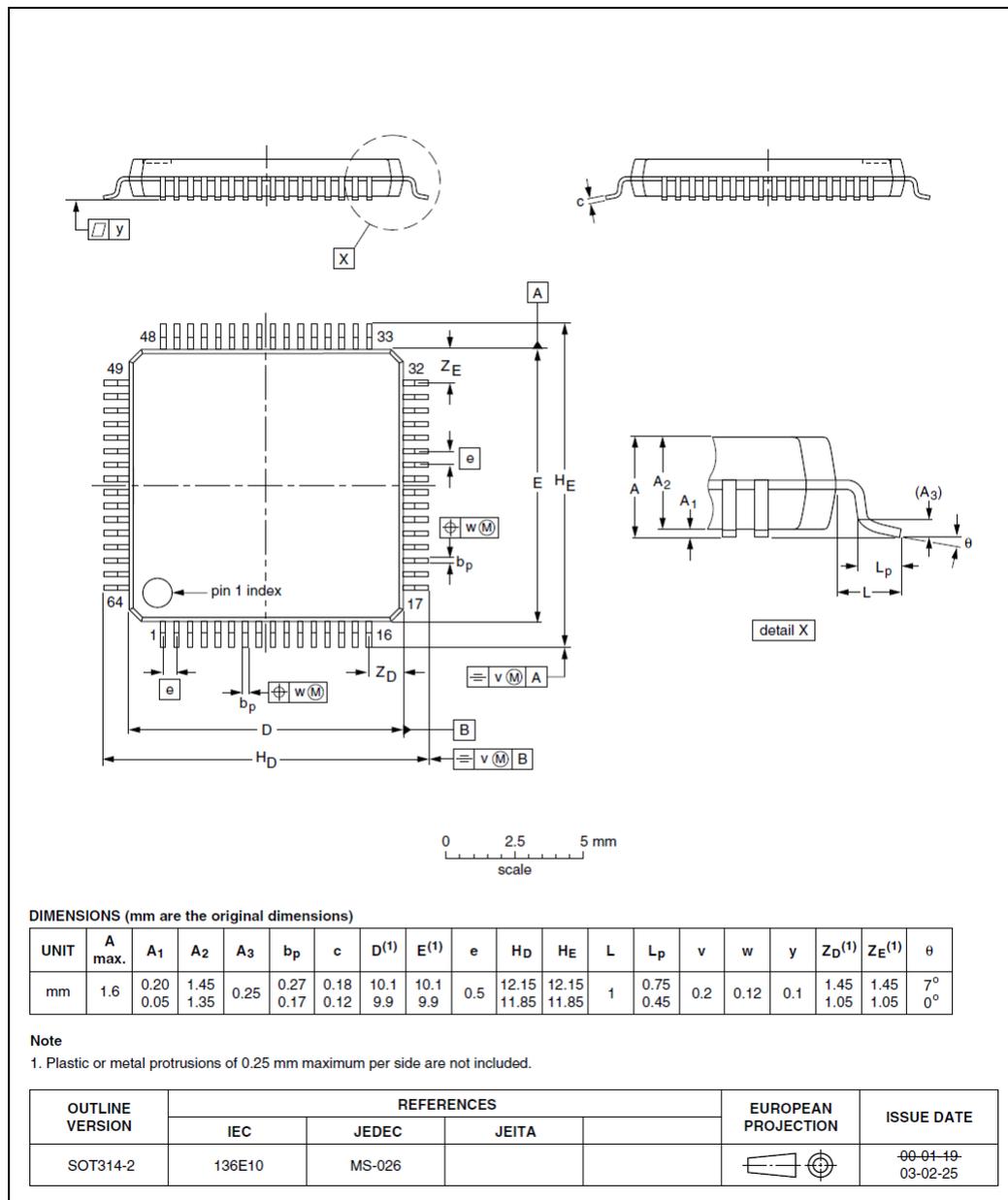


Fig 24. Package outline SOT314-2 (LQFP64)

LQFP48: plastic low profile quad flat package; 48 leads; body 7 x 7 x 1.4 mm

SOT313-2

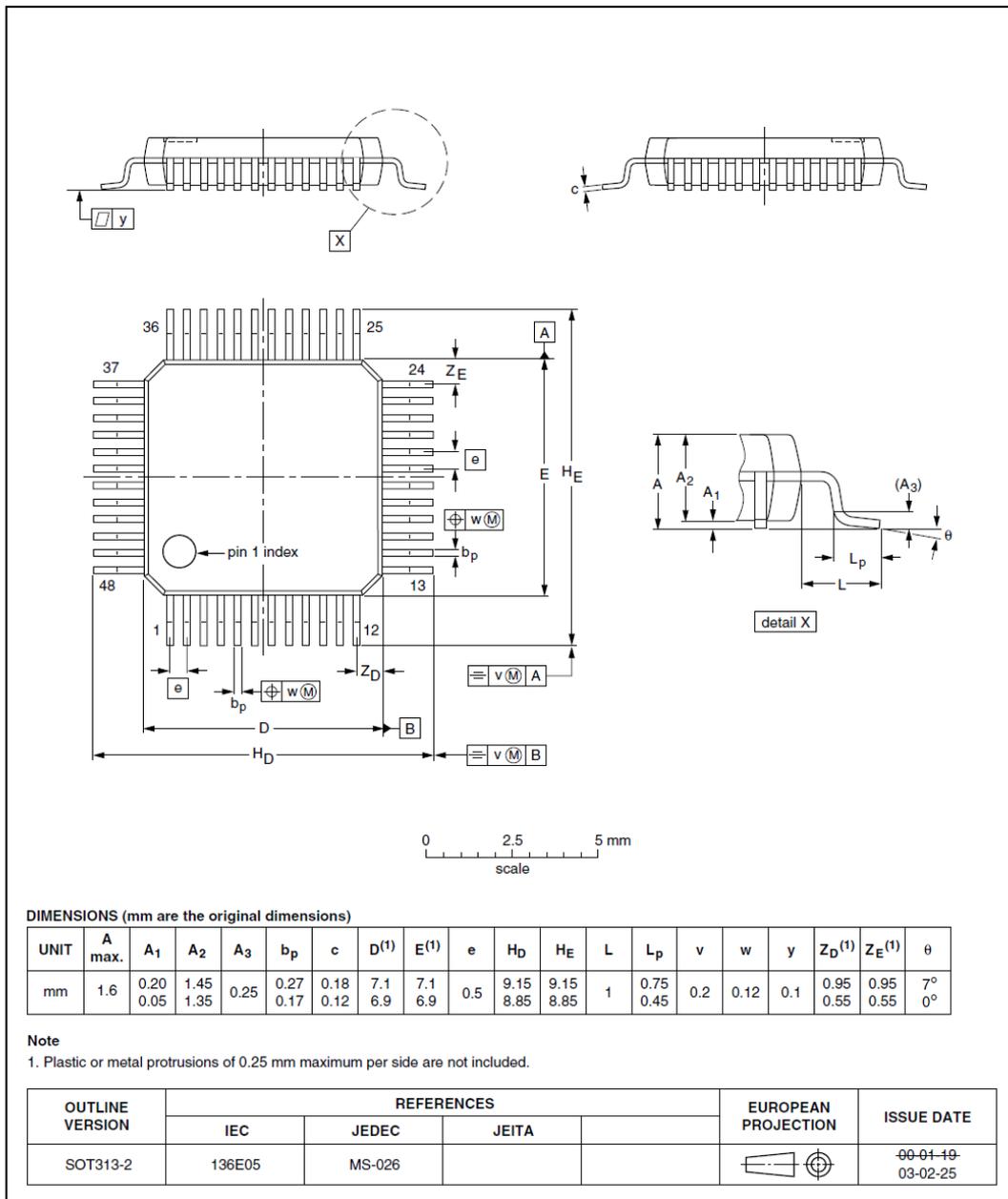


Fig 25. Package outline SOT313-2 (LQFP48)

14. 缩写

Table 18. Abbreviations

Acronym	Description
ADC	Analog-to-Digital-Converter
AHB	Advanced High-performance Bus
APB	Advanced Peripheral Bus
BOD	BrownOut Detection
CCITT	Comité Consultatif International Téléphonique et Télégraphique
CRC	Cyclic Redundancy Check
DMA	Direct Memory Access
FIFO	First-In-First-Out
GPIO	General Purpose Input/Output
I/O	Input/Output
IrDA	Infrared Data Association
IRC	Internal Resistor-Capacitor
JEDEC	Joint Electron Devices Engineering Council
PLL	Phase-Locked Loop
SPI	Serial Peripheral Interface
SSI	Serial Synchronous Interface
SSP	Synchronous Serial Port
UART	Universal Asynchronous Receiver/Transmitter

15. 修订记录

Table 19. Revision history

Document ID	Release date	Data sheet status	Change notice	Supersedes
LPC122X v.1.1	20110221	Objective data sheet	-	LPC122X v.1
Modifications:			<ul style="list-style-type: none"> Section 1 "General description": Updated text. Section 2 "Features and benefits": Updated text. 	
LPC122X v.1	20110214	Objective data sheet	-	-

16. 免责声明

有限保修和责任— 本文档中的信息被认为是准确和可靠的。然而，对于信息的准确性和完整性，恩智浦半导体公司不给予任何陈述或担保，明示或暗示，对于此类信息的使用后果不负任何责任。

在任何情况下，恩智浦半导体不会承担任何间接、意外发生、惩罚性、特别或相关性的损害赔偿（包括单不限于利润损失、储蓄损失、业务中断、有关去除或更换任何产品的费用或返工费用），不管这些损害赔偿是基于侵权（包括疏忽）、保修、违约合同或其他法律理论。

对于客户无论任何理由可能招致的任何损害，恩智浦半导体为在这里所提到的产品的汇总和累积责任应限制在恩智浦半导体商业销售的条款及条件里面。

变更的权利— 恩智浦半导体有权在任何时间对此文件发布的信息(包括单不限于规格和产品说明)做出任何改动。本文件将取代所有之前所公布的信息。

适用性— 恩智浦半导体产品并非为那些用于对生命和安全有重大关系的系统和设备而设计、授权或提供保证，也不用于那些可以合理预见到的因恩智浦半导体的产品的故障会造成人身伤害、甚至死亡、或是严重的财产或环境损害的应用程序中。恩智浦半导体的产品如果应用在此类的设备或应用程序中，恩智浦半导体对所此造成的风险将不承担任何责任，因此这些风险有客户自行承担。

应用— 在这里所描述有关产品的任何应用程序仅用于说明的目的。在没有进一步的测试或修改的情况下，恩智浦半导体对该应用程序对指定用途是否合适不作任何表示或保证。

客户应对其使用恩智浦半导体产品的应用以及产品的设计和运行自行负责，恩智浦半导体不负责协助应用程序或客户的产品设计。同时，客户应自行负责决定恩智浦产品是否适合客户应用、计划产品、计划的应用程序以及第三方客户使用。客户应提供适当的设计和运行的保障措施以尽量减少其产品与应用的相关风险。

因客户的应用或产品的弱点或缺陷所产生的，或因使用其第三方客户的产品而产生的任何缺陷、损失、费用支出和问题，恩智浦半导体不承担任何责任。客户应负责为其使用恩智浦半导体芯片的产品或应用以及其第三方客户使用产品或应用做必要的测试，以避免使用不当而造成不必要的损失。恩智浦对此方面不承担任何责任。

限制值— 超过一个或多个限制值（如在 IEC60134 的绝对值最大额定定义）的施压会对设备造成永久的损害。限制值只强调额定功率，这个设备的操作除了应用在此文件中所提到的“推荐工作条件”和“特征”部分之外，恩智浦半导体不担保超过上述要求的操作。恒定或反复超出限制值将永久地和不可逆转地影响设备的质量和可靠性。

商业销售条件— 恩智浦半导体产品的销售适用公布于 <http://www.nxp.com/profile/terms> 网站上的通用商业销售条款，除非另存一个单独有效的书面协议，在此种情况下，将适用该单独有效的书面协议之条款和条件。关于客户采购恩智浦半导体产品，恩智浦半导体在此明确拒绝适用客户的通用条款和条件。

不构成任何出售要约或许可— 本文中任何部分都不可被翻译或解释成可以开放接受或授予、转让或任何暗示许可版权、专利或其它工业或知识产权的销售产品要约。

出口控制— 本文件以及其项目描述可能受出口管制条例限制。出口可能需事先获得国家机关许可。

非车规级产品— 除非数据手册明确标出此恩智浦半导体产品为车规级，否则该产品不适合于汽车应用。该产品未在汽车产品测试和应用条件下经测试和质量认证。恩智浦半导体对客户将非车规产品运用在汽车设备和应用中不承担任何责任。

当客户使用该产品设计并在使用在需要车规级规格和标准的汽车应用时，(1) 客户在该汽车应用、使用和规格中使用恩智浦半导体产品时，不在恩智浦半导体对该产品的保证范围内；(2) 当在汽车应用中使用超出恩智浦半导体规格的产品，客户应该自行承担风险；(3) 因客户超标准和产品规格使用恩智浦半导体产品导致的影响、损坏和失效产品索赔，客户不能要求恩智浦半导体进行赔偿。

This translated version is for reference only, and the English version shall prevail in case of any discrepancy between the translated and English versions.

版权所有 2011恩智浦有限公司 未经许可，禁止转载