

## Kinetis KL05 32 KB Flash

基于 48 MHz Cortex-M0+ 的微控制器

设计时充分考虑效率。具有高效尺寸、小型封装、高效 ARM Cortex-M0+ 32 位性能。继承了 Kinetis 系列丰富的功能和可扩展性。

该产品具有以下特性：

- 在极低功耗运行模式下，运行功耗低至 45  $\mu$ A/MHz
- 静态功耗低至 2  $\mu$ A，并具有全状态保留和 4  $\mu$ s 唤醒能力
- 超高效 Cortex-M0+ 处理器，运行频率高达 48MHz，具有业界领先的吞吐速率
- 存储器选项为最高 32 KB Flash 和 4 KB RAM
- 节能架构针对低功耗优化，采用 90 nm TFS 技术、时钟和电源选通技术以及零等待状态 Flash 存储器控制器

### 性能

- 48 MHz ARM<sup>®</sup> Cortex<sup>®</sup>-M0+ 内核

### 存储器和存储器接口

- 高达 32 KB 的程序 Flash 存储器
- 高达 4 KB 的 SRAM

### 系统外设

- 九种低功耗模式，可根据应用要求提供功耗优化
- COP 软件看门狗
- 4 通道 DMA 控制器，支持多达 63 个请求源
- 低漏电唤醒单元
- SWD 调试接口和微跟踪缓冲器
- 位操作引擎

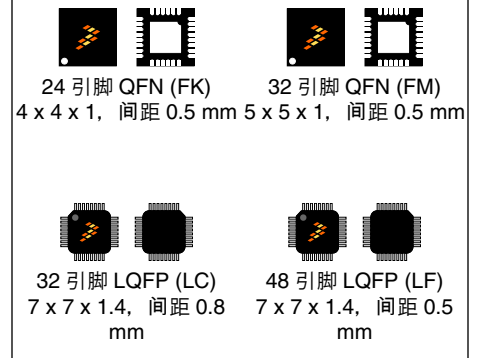
### 时钟

- 32 kHz 至 40 kHz 或 3 MHz 至 32 MHz 晶振
- 多用途时钟源
- 1 kHz LPO 时钟

### 工作特性

- 电压范围：1.71 V 至 3.6 V
- Flash 写入电压范围：1.71 V 至 3.6 V
- 温度范围（环境）：-40 °C 至 105 °C

**MKL05ZxxVFK4**  
**MKL05ZxxVLC4**  
**MKL05ZxxVFM4**  
**MKL05ZxxVLF4**



### 人机接口

- 低功耗硬件触摸传感器接口(TSI)
- 高达 41 个通用输入/输出(GPIO)

### 通信接口

- 一个 8 位 SPI 模块
- 一个低功耗 UART 模块
- 一个 I2C 模块

### 模拟模块

- 12 位 SAR ADC
- 12 位 DAC
- 集成 6 位 DAC 和可编程基准输入的模拟比较器 (CMP)

### 定时器

- 六通道定时器/PWM (TPM)
- 一个双通道定时器/PWM 模块
- 周期性中断定时器
- 16 位低功耗定时器(LPTMR)
- 实时时钟

### 安全性和完整性模块

- 每个芯片具有 80 位唯一标识号

## 订购信息 1

器件型号	存储器		I/O 最大数量
	Flash (KB)	SRAM (KB)	
MKL05Z8VFK4	8	1	22
MKL05Z16VFK4	16	2	22
MKL05Z32VFK4	32	4	22
MKL05Z8VLC4	8	1	28
MKL05Z16VLC4	16	2	28
MKL05Z32VLC4	32	4	28
MKL05Z8VFM4	8	1	28
MKL05Z16VFM4	16	2	28
MKL05Z32VFM4	32	4	28
MKL05Z16VLF4	16	2	41
MKL05Z32VLF4	32	4	41

1. 若要确认当前可订购器件编号的供货状态，请前往 <http://www.freescale.com> 并使用此器件编号搜索。

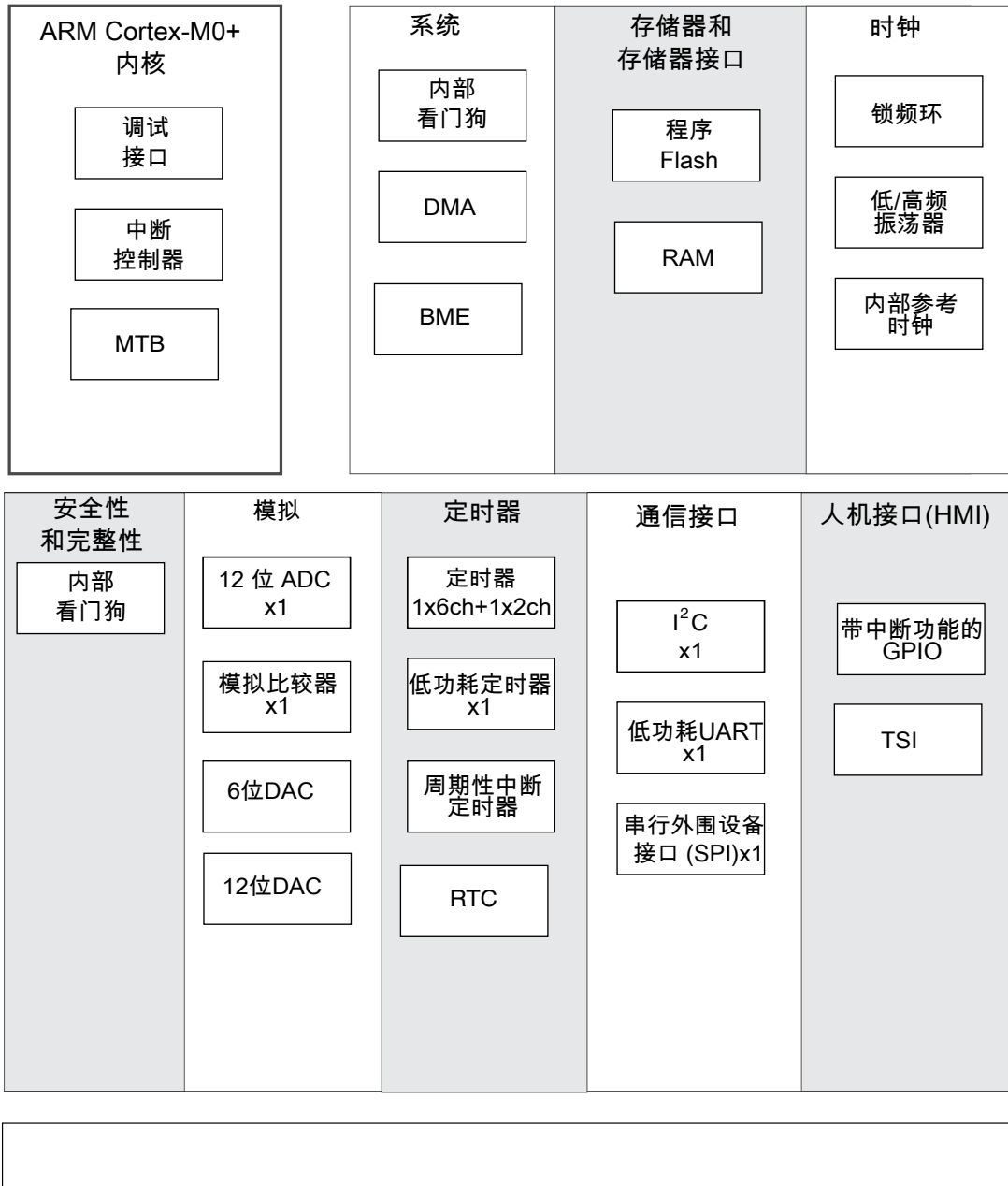
### 相关资源

类型	说明	资源
选型指南	Freescle Solution Advisor 是一款基于网络的工具，具有交互式应用向导和动态产品选型器。	<a href="#">Solution Advisor</a>
产品简介	《产品简介》包含简洁的概述/总结信息，便于快速评估器件的设计适用性。	<a href="#">KL0XPB<sup>1</sup></a>
参考手册	《参考手册》包含关于器件结构与功能（操作）的详细说明。	<a href="#">KL05P48M48SF1RM<sup>1</sup></a>
数据手册	《数据手册》包含电气特性和信号连接信息。	<a href="#">KL05P48M48SF1<sup>1</sup></a>
芯片勘误表	《芯片掩模组勘误表》提供特定器件掩模组的额外信息或更正信息。	<a href="#">KINETIS_L_xN96F<sup>2</sup></a>
封装图纸	封装图纸中提供了封装尺寸。	QFN 24 引脚: <a href="#">98ASA00474D<sup>1</sup></a> QFN 32 引脚: <a href="#">98ASA00473D<sup>1</sup></a> LQFP 32 引脚: <a href="#">98ASH70029A<sup>1</sup></a> LQFP 48 引脚: <a href="#">98ASH00962A<sup>1</sup></a>

- 若要查找相关资源，请前往 <http://www.freescale.com> 并使用此术语搜索。
- 若要查找相关资源，请前往 <http://www.freescale.com> 并使用您的器件修订版代替“x”执行术语搜索。

图 1 显示了芯片中的功能模块。

## Kinetis KL05系列



**图 1. 功能结构框图**

# 目录

1 极限.....	5	3.6.2 CMP 和 6 位 DAC 的电气特性.....	27
1.1 热操作极限.....	5	3.6.3 12 位 DAC 电气特性.....	28
1.2 湿度操作极限.....	5	3.7 定时器.....	31
1.3 ESD 操作极限.....	5	3.8 通信接口.....	31
1.4 电压和电流操作极限.....	5	3.8.1 SPI 电气及时序特性.....	31
2 通用.....	6	3.8.2 内部集成电路接口(I2C)时序.....	35
2.1 交流电气特性.....	6	3.8.3 UART.....	36
2.2 静态电气特性.....	6	3.9 人机界面(HMI).....	37
2.2.1 电压和电流工作要求.....	6	3.9.1 TSI 电气特性.....	37
2.2.2 LVD 和 POR 工作要求.....	7	4 尺寸.....	37
2.2.3 电压和电流特性.....	8	4.1 获取封装尺寸.....	37
2.2.4 功耗模式转换特性.....	9	5 引脚分配.....	38
2.2.5 功耗特性.....	10	5.1 KL05 信号多路复用和引脚分配.....	38
2.2.6 EMC 性能.....	15	5.2 KL05 引脚分配.....	40
2.2.7 电容属性.....	16	6 订购器件.....	44
2.3 开关特性.....	16	6.1 确定有效的可订购器件.....	44
2.3.1 器件时钟特性.....	16	7 部件标识.....	44
2.3.2 一般开关规格.....	17	7.1 说明.....	44
2.4 热学特性.....	17	7.2 格式.....	45
2.4.1 热学操作要求.....	17	7.3 字段.....	45
2.4.2 热属性.....	17	7.4 示例.....	45
3 外设工作要求与特性.....	18	8 术语和准则.....	46
3.1 内核模块.....	18	8.1 定义: 操作要求.....	46
3.1.1 SWD 电气特性.....	18	8.2 定义: 特性.....	46
3.2 系统模块.....	19	8.3 定义: 属性.....	46
3.3 时钟模块.....	19	8.4 定义: 极限.....	46
3.3.1 MCG 规格.....	19	8.5 超出极限的后果.....	47
3.3.2 振荡器电气特性.....	21	8.6 极限与操作要求的关系.....	47
3.4 存储器 and 存储器接口.....	22	8.7 极限和操作要求准则.....	48
3.4.1 Flash 电气特性.....	23	8.8 定义: 典型值.....	48
3.5 安全性和完整性模块.....	24	8.9 典型值条件.....	49
3.6 模拟.....	24	9 修订记录.....	50
3.6.1 ADC 电气特性.....	24		

# 1 极限

## 1.1 热操作极限

表 1. 热操作极限

符号	说明	最小值	最大值	单位	注释
T <sub>STG</sub>	存储温度	-55	150	°C	1
T <sub>SDR</sub>	无铅焊接温度	—	260	°C	2

1. 根据 JEDEC 标准 JESD22-A103“高温存储时间”确定。
2. 根据 IPC/JEDEC 标准 J-STD-020“非密封固态表面安装器件的潮湿/回流敏感度分级”确定。

## 1.2 湿度操作极限

表 2. 湿度操作极限

符号	说明	最小值	最大值	单位	注释
MSL	湿度灵敏度等级	—	3	—	1

1. 根据 IPC/JEDEC 标准 J-STD-020“非密封固态表面安装器件的潮湿/回流敏感度分级”确定。

## 1.3 ESD 操作极限

表 3. ESD 操作极限

符号	说明	最小值	最大值	单位	注释
V <sub>HBM</sub>	静电放电电压, 人体放电模式	-2000	+2000	V	1
V <sub>CDM</sub>	静电放电电压, 设备充电模式	-500	+500	V	2
I <sub>LAT</sub>	105 °C 环境温度下的门锁电流	-100	+100	mA	3

1. 根据 JEDEC 标准 JESD22-A114“静电放电(ESD)灵敏度测试人体放电模式(HBM)标准”确定。
2. 根据 JEDEC 标准 JESD22-C101“微电子组件静电放电耐压阈值的电场感应器件充电模式测试方法”确定。
3. 根据 JEDEC 标准 JESD78“IC 门锁测试”确定。

## 1.4 电压和电流操作极限

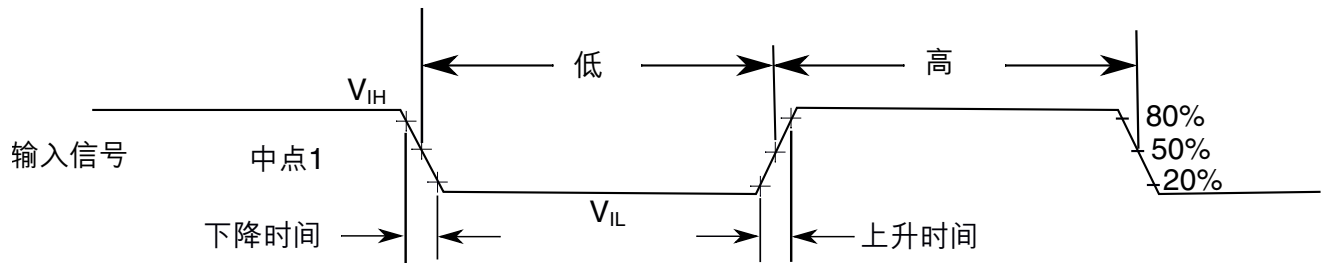
表 4. 电压和电流操作极限

符号	说明	最小值	最大值	单位
$V_{DD}$	数字电源电压	-0.3	3.8	V
$I_{DD}$	数字电源电流	—	120	mA
$V_{IO}$	IO 引脚输入电压	-0.3	$V_{DD} + 0.3$	V
$I_D$	单引脚瞬态最大电流限值 (适用于所有端口引脚)	-25	25	mA
$V_{DDA}$	模拟电源电压	$V_{DD} - 0.3$	$V_{DD} + 0.3$	V

## 2 通用

### 2.1 交流电气特性

除非另有说明，否则传播延迟在 50%点到 50%点处测得，上升时间和下降时间在 20%和 80%点处测得，如下图所示。



$$\text{中点是 } V_{IL} + (V_{IH} - V_{IL}) / 2$$

图 2. 输入信号测量参考

除非另有说明，否则所有数字 I/O 开关特性均假设输出引脚具备下列特性。

- $C_L=30$  pF 负载
- 压摆率禁用
- 正常驱动强度

### 2.2 静态电气特性

## 2.2.1 电压和电流工作要求

表 5. 电压和电流工作要求

符号	说明	最小值	最大值	单位	注释
$V_{DD}$	供电电压	1.71	3.6	V	
$V_{DDA}$	模拟供电电压	1.71	3.6	V	—
$V_{DD} - V_{DDA}$	$V_{DD}$ 至 $V_{DDA}$ 差分电压	-0.1	0.1	V	—
$V_{SS} - V_{SSA}$	$V_{SS}$ 至 $V_{SSA}$ 差分电压	-0.1	0.1	V	—
$V_{IH}$	输入高电压 <ul style="list-style-type: none"> <li><math>2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}</math></li> <li><math>1.7\text{ V} \leq V_{DD} \leq 2.7\text{ V}</math></li> </ul>	$0.7 \times V_{DD}$ $0.75 \times V_{DD}$	— —	V V	—
$V_{IL}$	输入低电压 <ul style="list-style-type: none"> <li><math>2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}</math></li> <li><math>1.7\text{ V} \leq V_{DD} \leq 2.7\text{ V}</math></li> </ul>	— —	$0.35 \times V_{DD}$ $0.3 \times V_{DD}$	V V	—
$V_{HYS}$	输入迟滞	$0.06 \times V_{DD}$	—	V	—
$I_{ICIO}$	IO 引脚负 DC 注入电流—单引脚 <ul style="list-style-type: none"> <li><math>V_{IN} &lt; V_{SS}-0.3\text{V}</math> (负电流注入)</li> <li><math>V_{IN} &lt; V_{SS}-0.3\text{V}</math> (正电流注入)</li> </ul>	-3 —	— +3	mA	1
$I_{ICcont}$	连续引脚 DC 注入电流 — 区域限制, 包括 16 个连续引脚的负注入电流之和或正注入电流之和 <ul style="list-style-type: none"> <li>负电流注入</li> <li>正电流注入</li> </ul>	-25 —	— +25	mA	—
$V_{ODPU}$	开漏上拉电压电平	$V_{DD}$	$V_{DD}$	V	2
$V_{RAM}$	保持 RAM 数据所需的 $V_{DD}$ 电压	1.2	—	V	—

- 所有 IO 引脚均通过 ESD 保护二极管内部钳位至  $V_{SS}$  和  $V_{DD}$ 。如果  $V_{IN}$  大于  $V_{IO\_MIN}$  ( $=V_{SS}-0.3\text{V}$ )且  $V_{IN}$  小于  $V_{IO\_MAX}$  ( $=V_{DD}+0.3\text{V}$ ), 则无需在管脚上提供限流电阻。如果  $V_{IN}$  不满足这些限制, 则需要一个限流电阻。负 DC 注入限流电阻的计算公式如下:  $R=(V_{IO\_MIN}-V_{IN})/|I_{ICIO}|$ 。正注入限流电阻的计算公式如下:  $R=(V_{IN}-V_{IO\_MAX})/|I_{ICIO}|$ 。选择两个计算所得电阻值中的较大者。
- 开漏输出必须上拉至  $V_{DD}$ 。

## 2.2.2 LVD 和 POR 工作要求

表 6.  $V_{DD}$  电源 LVD 和 POR 工作要求

符号	说明	最小值	典型值	最大值	单位	注释
$V_{POR}$	下降沿电压 $V_{DD}$ POR 检测电压	0.8	1.1	1.5	V	—
$V_{LVDH}$	下降沿低压检测阈值 — 高范围(LVDV = 01)	2.48	2.56	2.64	V	—
$V_{LVW1H}$	低压警告阈值 — 高范围 <ul style="list-style-type: none"> <li>1 级压降(LVWV = 00)</li> </ul>	2.62	2.70	2.78	V	1

下一页继续介绍此表...

表 6. V<sub>DD</sub> 电源 LVD 和 POR 工作要求 (继续)

符号	说明	最小值	典型值	最大值	单位	注释
V <sub>LVW2H</sub>	• 2 级压降(LVWV=01)	2.72	2.80	2.88	V	
V <sub>LVW3H</sub>	• 3 级压降(LVWV=10)	2.82	2.90	2.98	V	
V <sub>LVW4H</sub>	• 4 级压降(LVWV=11)	2.92	3.00	3.08	V	
V <sub>HYSH</sub>	低压抑制复位/恢复迟滞 — 高范围	—	±60	—	mV	—
V <sub>LVDL</sub>	下降沿低压检测阈值 — 低范围(LVDV=00)	1.54	1.60	1.66	V	—
V <sub>LVW1L</sub>	低压警告阈值 — 低范围 • 1 级压降(LVWV = 00)	1.74	1.80	1.86	V	1
V <sub>LVW2L</sub>	• 2 级压降(LVWV=01)	1.84	1.90	1.96	V	
V <sub>LVW3L</sub>	• 3 级压降(LVWV=10)	1.94	2.00	2.06	V	
V <sub>LVW4L</sub>	• 4 级压降(LVWV=11)	2.04	2.10	2.16	V	
V <sub>HYSL</sub>	低压抑制复位/恢复迟滞 — 低范围	—	±40	—	mV	—
V <sub>BG</sub>	带隙电压参考	0.97	1.00	1.03	V	—
t <sub>LPO</sub>	内部低功耗振荡器周期 — 工厂调整	900	1000	1100	μs	—

1. 上升沿阈值 = 下降沿阈值 + 迟滞电压

## 2.2.3 电压和电流特性

表 7. 电压和电流特性

符号	说明	最小值	最大值	单位	注释
V <sub>OH</sub>	输出高电压 — 正常驱动管脚 (reset_b 除外) • 2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, I <sub>OH</sub> = -5 mA • 1.71 V ≤ V <sub>DD</sub> ≤ 2.7 V, I <sub>OH</sub> = -1.5 mA	V <sub>DD</sub> - 0.5 V <sub>DD</sub> - 0.5	— —	V V	1, 2
V <sub>OH</sub>	输出高电压 — 高电平驱动管脚 (RESET_b 除外) • 2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, I <sub>OH</sub> = -18 mA • 1.71 V ≤ V <sub>DD</sub> ≤ 2.7 V, I <sub>OH</sub> = -6 mA	V <sub>DD</sub> - 0.5 V <sub>DD</sub> - 0.5	— —	V V	1, 2
I <sub>OHT</sub>	所有端口的总输出高电流	—	100	mA	
V <sub>OL</sub>	输出低电压 — 正常驱动管脚 • 2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, I <sub>OL</sub> = 5 mA • 1.71 V ≤ V <sub>DD</sub> ≤ 2.7 V, I <sub>OL</sub> = 1.5 mA	— —	0.5 0.5	V V	1
V <sub>OL</sub>	输出低电压 — 高电平驱动管脚 • 2.7 V ≤ V <sub>DD</sub> ≤ 3.6 V, I <sub>OL</sub> = 18 mA • 1.71 V ≤ V <sub>DD</sub> ≤ 2.7 V, I <sub>OL</sub> = 6 mA	— —	0.5 0.5	V V	1
I <sub>OLT</sub>	所有端口的总输出低电流	—	100	mA	

下一页继续介绍此表...



表 7. 电压和电流特性 (继续)

符号	说明	最小值	最大值	单位	注释
$I_{IN}$	全温度范围的输入漏电流 (每个引脚)	—	1	$\mu A$	3
$I_{IN}$	25 °C 下的输入漏电流 (每个引脚)	—	0.025	$\mu A$	3
$I_{IN}$	全温度范围的输入漏电流 (所有引脚的总值)	—	41	$\mu A$	3
$I_{OZ}$	Hi-Z (关闭状态) 漏电流 (每个引脚)	—	1	$\mu A$	
$R_{PU}$	内部上拉电阻	20	50	k $\Omega$	4

1. PTA12、PTA13、PTB0 和 PTB1 用户可以通过相关的 PTx\_PCRn[DSE] 控制位为 I/O 选择高驱动和标准驱动功能。所有其他 GPIO 都只有正常驱动。
2. 配置为 reset\_b 信号或 GPIO 时，复位引脚仅含有下拉有效装置。配置为 GPIO 输出时，该引脚用作伪开漏输出。
3. 在  $V_{DD} = 3.6 V$  时测量
4. 在  $V_{DD}$  电源电压 =  $V_{DD}$  (最小值) 且  $V_{input} = V_{SS}$  时测量

## 2.2.4 功耗模式转换特性

下表中，除  $t_{POR}$  和  $VLLSx \rightarrow RUN$  恢复时间外的所有规格均假定时钟配置如下：

- CPU 和系统时钟 = 48 MHz
- 总线和 Flash 时钟 = 24 MHz
- FEI 时钟模式

POR 和  $VLLSx \rightarrow RUN$  恢复采用 FEI 时钟模式，默认 CPU 和系统频率为 21 MHz，总线和 Flash 时钟频率为 10.5 MHz。

表 8. 功耗模式转换特性

符号	说明	最小值	典型值	最大值	单位	
$t_{POR}$	POR 事件后，在芯片工作温度范围内，从 $V_{DD}$ 达到 1.8 V 到执行第一条指令所需的时间。	—	—	300	$\mu s$	1
	• $VLLS0 \rightarrow RUN$	—	95	115	$\mu s$	
	• $VLLS1 \rightarrow RUN$	—	93	115	$\mu s$	
	• $VLLS3 \rightarrow RUN$	—	42	53	$\mu s$	
	• $LLS \rightarrow RUN$	—	4	4.6	$\mu s$	
	• $VLPS \rightarrow RUN$	—	4	4.4	$\mu s$	
	• $STOP \rightarrow RUN$	—	4	4.4	$\mu s$	

1. 正常引导(FTFA\_FOFT[LPBOOT]=11)。

## 2.2.5 功耗特性

下表列出的最大值表示相当于均值加上三倍标准偏差的表征结果(均值 + 3 倍标准偏差)。

表 9. 功耗特性

符号	说明	最小值	典型值	最大值 <sup>1</sup>	单位	注释
I <sub>DDA</sub>	模拟电源电流	—	—	参见注释	mA	2
I <sub>DD_RUNCO</sub>	计算操作中的运行模式电流 - 48 MHz 内核/24 MHz Flash/总线时钟禁用, while(1)循环代码从 Flash 执行 • 3.0 V 时	—	4.0	4.3	mA	3
I <sub>DD_RUN</sub>	运行模式电流 - 48 MHz 内核/24 MHz 总线和 Flash, 所有外设时钟禁用, 代码从 Flash 执行 • 3.0 V 时	—	4.9	5.3	mA	3
I <sub>DD_RUN</sub>	运行模式电流 - 48 MHz 内核/24 MHz 总线和 Flash, 所有外设时钟使能, 代码从 Flash 执行 • 3.0 V 时 • 25 °C 时 • 125 °C 时	— —	5.7 6.0	5.8 6.2	mA	3、4
I <sub>DD_WAIT</sub>	待机模式电流 - 内核禁用/48 MHz 系统/24 MHz 总线/Flash 禁用 (Flash 休眠模式使能), 所有外设时钟均禁用 • 3.0 V 时	—	2.7	2.9	mA	3
I <sub>DD_WAIT</sub>	待机模式电流 - 内核禁用/24 MHz 系统/24 MHz 总线/Flash 禁用 (Flash 休眠模式使能), 所有外设时钟均禁用 • 3.0 V 时	—	2.2	2.3	mA	3
I <sub>DD_PSTOP2</sub>	带局部 Stop2 时钟选项的停止模式电流 - 内核和系统禁用/10.5 MHz 总线/Flash 禁用 (Flash 休眠模式使能) • 3.0 V 时	—	1.5	1.7	mA	3
I <sub>DD_VLPRCO</sub>	计算操作中的极低功耗运行模式电流 - 4 MHz 内核/0.8 MHz Flash/总线时钟禁用, 代码从 Flash 执行 • 3.0 V 时	—	182	253	μA	5
I <sub>DD_VLPR</sub>	极低功耗运行模式电流 - 4 MHz 内核/0.8 MHz 总线和 Flash, 所有外设时钟禁用, 代码从 Flash 执行 • 3.0 V 时	—	213	284	μA	5

下一页继续介绍此表...

表 9. 功耗特性 (继续)

符号	说明	最小值	典型值	最大值 <sup>1</sup>	单位	注释
I <sub>DD_VLPR</sub>	极低功耗运行模式电流 - 4 MHz 内核/0.8 MHz 总线和 Flash, 所有外设时钟使能, 代码从 Flash 执行 • 3.0 V 时	—	243	313	μA	4、5
I <sub>DD_VLPW</sub>	极低功耗待机模式电流 - 内核禁用/4 MHz 系统/0.8 MHz 总线/Flash 禁用 (Flash 休眠模式使能), 所有外设时钟均禁用 • 3.0 V 时	—	111	170	μA	5
I <sub>DD_STOP</sub>	停止模式电流 • 3.0 V 时	• 25 °C 时	—	257	277	μA
		• 50 °C 时	—	265	285	
		• 70 °C 时	—	278	303	
		• 85 °C 时	—	295	326	
		• 105 °C 时	—	353	412	
I <sub>DD_VLPS</sub>	极低功耗停止模式电流 • 3.0 V 时	• 25 °C 时	—	2.25	5.76	μA
		• 50 °C 时	—	4.08	8.27	
		• 70 °C 时	—	8.10	14.52	
		• 85 °C 时	—	14.18	23.78	
		• 105 °C 时	—	37.07	58.58	
I <sub>DD_LLS</sub>	低漏电停止模式电流 • 3.0 V 时	• 25 °C 时	—	1.72	2.01	μA
		• 50 °C 时	—	2.52	3.18	
		• 70 °C 时	—	4.32	5.94	
		• 85 °C 时	—	7.18	10.00	
		• 105 °C 时	—	18.67	25.65	
I <sub>DD_VLLS3</sub>	极低漏电停止模式 3 电流 • 3.0 V 时	• 25 °C 时	—	1.16	1.36	μA
		• 50 °C 时	—	1.78	2.27	
		• 70 °C 时	—	3.23	4.38	
		• 85 °C 时	—	5.57	7.53	
		• 105 °C 时	—	14.80	19.74	
I <sub>DD_VLLS1</sub>	极低漏电停止模式 1 电流 • 3.0 V 时					

下一页继续介绍此表...

表 9. 功耗特性 (继续)

符号	说明	最小值	典型值	最大值 <sup>1</sup>	单位	注释
	<ul style="list-style-type: none"> <li>• 25°C 时</li> <li>• 50°C 时</li> <li>• 70°C 时</li> <li>• 85°C 时</li> <li>• 105°C 时</li> </ul>	—	0.64	0.81	μA	
I <sub>DD_VLLS0</sub>	极低漏电停止模式 0 电流 (SMC_STOPCTRL[PORPO] = 0) <ul style="list-style-type: none"> <li>• 3.0 V 时</li> <li>• 25 °C 时</li> <li>• 50 °C 时</li> <li>• 70 °C 时</li> <li>• 85 °C 时</li> <li>• 105 °C 时</li> </ul>	—	0.38	0.54	μA	
I <sub>DD_VLLS0</sub>	极低漏电停止模式 0 电流 (SMC_STOPCTRL[PORPO] = 1) <ul style="list-style-type: none"> <li>• 3.0 V 时</li> <li>• 25 °C 时</li> <li>• 50 °C 时</li> <li>• 70 °C 时</li> <li>• 85 °C 时</li> <li>• 105 °C 时</li> </ul>	—	0.30	0.45	μA	6

1. 数据基于表征结果。
2. 模拟电源电流等于器件上每个模拟模块的工作或禁用电流之和。有关各个模块的电源电流，请参见其规格。
3. MCG 配置为 FEI 模式。
4. 不包含外设增加的电流损耗。
5. MCG 配置为 BLPI 模式。
6. 无掉电

表 10. 低功耗模式外设增加的电流 — 典型值

符号	说明	温度(°C)						单位
		-40	25	50	70	85	105	
I <sub>IREFSTEN4MHz</sub>	4 MHz 内部参考时钟(IRC)增加电流。通过在 4 MHz IRC 使能情况下进入 STOP 或 VLPS 模式而测得。	56	56	56	56	56	56	μA
I <sub>IREFSTEN32KHz</sub>	32 kHz 内部参考时钟(IRC)增加电流。通过在 32 kHz IRC 使能情况下进入 STOP 模式而测得。	52	52	52	52	52	52	μA
I <sub>EREFSTEN4MHz</sub>	外部 4 MHz 晶振时钟增加电流。通过在晶振使能情况下进入 STOP 或 VLPS 模式而测得。	206	228	237	245	251	258	uA

下一页继续介绍此表...

表 10. 低功耗模式外设增加的电流 — 典型值 (继续)

符号	说明	温度(°C)						单位
		-40	25	50	70	85	105	
$I_{\text{EREFSTEN32KHz}}$	外部 32 kHz 晶振时钟增加电流, 通过 OSC0_CR[EREFSTEN 和 EREFSTEN] 位来选择。通过在晶振使能情况下进入所有模式而测得。 <ul style="list-style-type: none"> <li>• VLLS1</li> <li>• VLLS3</li> <li>• LLS</li> <li>• VLPS</li> <li>• STOP</li> </ul>	440	490	540	560	570	580	nA
		440	490	540	560	570	580	
		490	490	540	560	570	680	
		510	560	560	560	610	680	
		510	560	560	560	610	680	
$I_{\text{CMP}}$	CMP 外设增加电流, 通过进入 VLLS1 模式进行测量, 其中使用 6 位 DAC 和单个外部输入进行比较来使能 CMP。包括 6 位 DAC 的功耗。	22	22	22	22	22	22	μA
$I_{\text{RTC}}$	RTC 外设增加电流, 通过进入 VLLS1 模式进行测量, 其中通过 RTC_CR[OSCE] 位使能外部 32 kHz 晶振并将 RTC ALARM 设为 1 分钟。包括 ERCLK32K (32 kHz 外部晶振) 功耗。	432	357	388	475	532	810	nA
$I_{\text{UART}}$	UART 外设增加电流, 通过进入 STOP 或者 VLPS 模式进行测量, 其中使选定时钟源以 115200 波特率等待 RX 数据。包括选定的时钟源功耗。 <ul style="list-style-type: none"> <li>• MCGIRCLK (4 MHz 内部参考时钟)</li> <li>• OSCERCLK (4 MHz 外部晶振)</li> </ul>	66	66	66	66	66	66	μA
		214	237	246	254	260	268	
$I_{\text{TPM}}$	TPM 外设增加电流, 通过进入 STOP 或者 VLPS 模式进行测量, 其中配置用于输出比较的选定时钟源生成 100 Hz 信号。产生时钟信号的 I/O 上不存在负载。包括选定时钟源和 I/O 开关电流。 <ul style="list-style-type: none"> <li>• MCGIRCLK (4 MHz 内部参考时钟)</li> <li>• OSCERCLK (4 MHz 外部晶振)</li> </ul>	86	86	86	86	86	86	μA
		235	256	265	274	280	287	
$I_{\text{BG}}$	BGEN 位置位且设备处于 VLPx、LLS 或 VLLSx 模式时的带隙增加电流。	45	45	45	45	45	45	μA
$I_{\text{ADC}}$	ADC 外设增加电流, $V_{\text{DD}}$ 和 $V_{\text{DDA}}$ 时测量值的组合, 通过进入 STOP 或者 VLPS 模式进行测量。采用内部时钟将 ADC 配置为低功耗模式, 并继续执行转换操作。	366	366	366	366	366	366	μA

### 2.2.5.1 示意图: 典型 IDD\_RUN 工作特性

下列数据的测量条件如下所示:

- MCG 在运行模式下是 FBE 模式, 在 VLPR 模式下是 BLPE 模式
- 无 GPIO 切换

- 从 Flash 执行代码且使能高速缓存
- 对于 ALLOFF 曲线，禁用除 FTFA 外的全部外设时钟

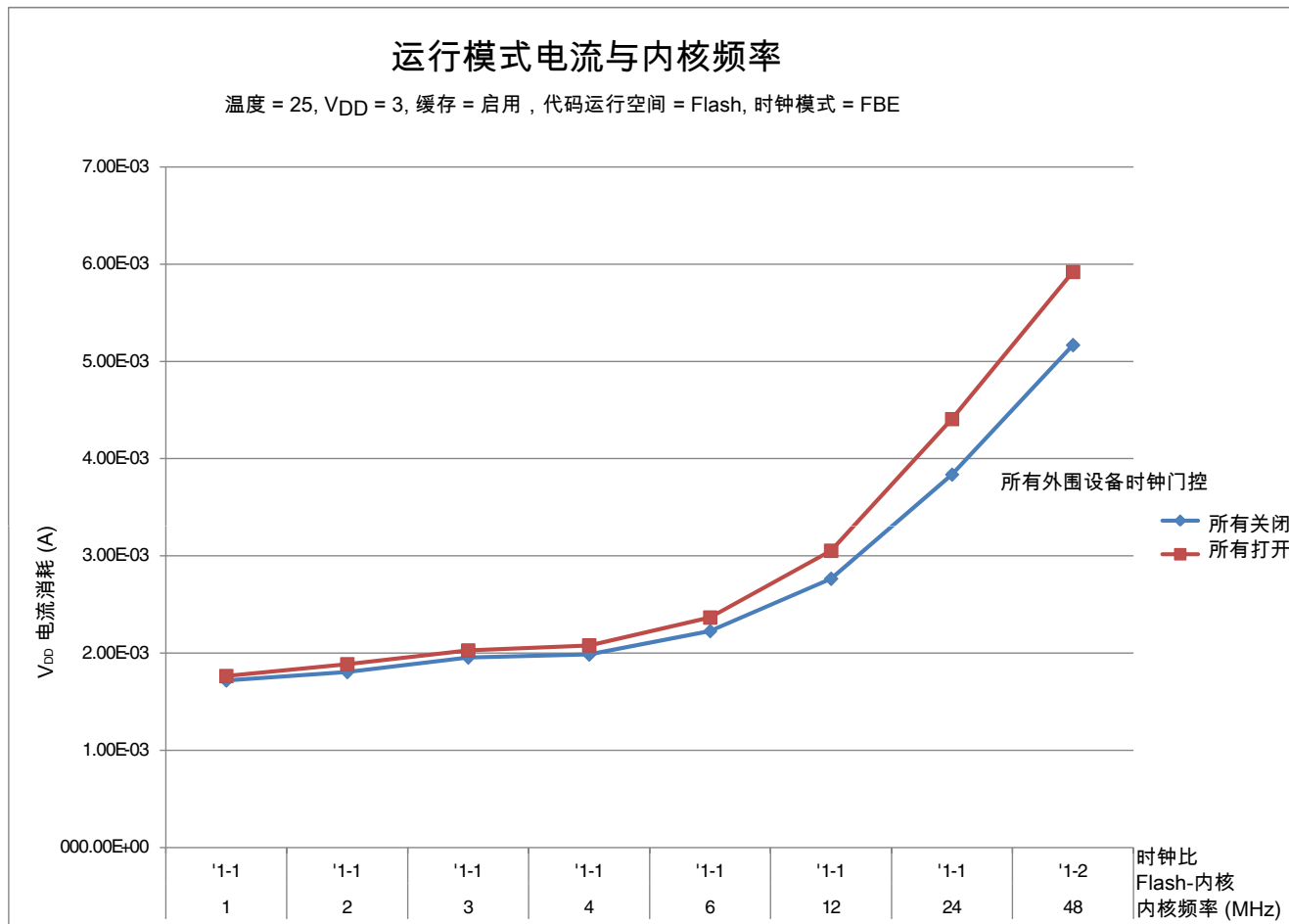


图 3. 运行模式电源电流与内核频率

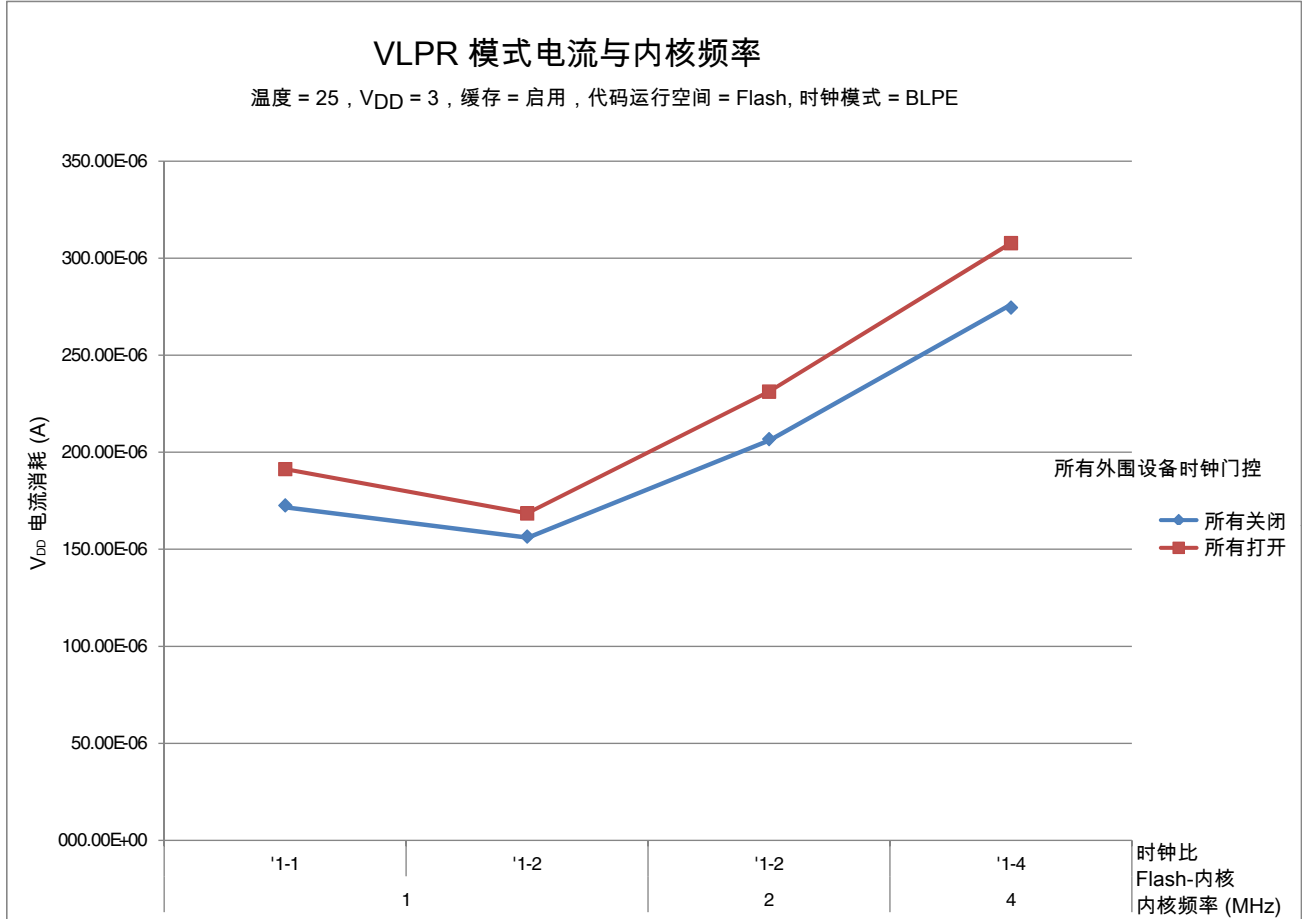


图 4. VLPR 模式电流与内核频率

## 2.2.6 EMC 性能

电磁兼容(EMC)性能很大程度上取决于 MCU 所处的环境。外部组件的电路板设计和布局、电路拓扑选择、位置和特性以及 MCU 软件操作在 EMC 性能中起重要作用。系统设计者必须参考下列飞思卡尔应用文档，可在下述网站：

[freescale.com](http://freescale.com) 获得专门针对优化 EMC 性能的意见和指导。

- AN2321: Designing for Board Level Electromagnetic Compatibility
- AN1050: Designing for Electromagnetic Compatibility (EMC) with HCMOS Microcontrollers
- AN2764: Improving the Transient Immunity Performance of Microcontroller-Based Applications
- AN1263: Designing for Electromagnetic Compatibility with Single-Chip Microcontrollers

- AN2764: Improving the Transient Immunity Performance of Microcontroller-Based Applications
- AN1259: System Design and Layout Techniques for Noise Reduction in MCU-Based Systems

## 2.2.7 电容属性

表 11. 电容属性

符号	说明	最小值	最大值	单位
C <sub>IN</sub>	输入电容	—	7	pF

## 2.3 开关特性

### 2.3.1 器件时钟特性

表 12. 器件时钟特性

符号	说明	最小值	最大值	单位
正常运行模式				
f <sub>SYS</sub>	系统和内核时钟	—	48	MHz
f <sub>BUS</sub>	总线时钟	—	24	MHz
f <sub>FLASH</sub>	Flash 时钟	—	24	MHz
f <sub>LPTMR</sub>	LPTMR 时钟	—	24	MHz
VLPR 和 VLPS 模式 <sup>1</sup>				
f <sub>SYS</sub>	系统和内核时钟	—	4	MHz
f <sub>BUS</sub>	总线时钟	—	1	MHz
f <sub>FLASH</sub>	Flash 时钟	—	1	MHz
f <sub>LPTMR</sub>	LPTMR 时钟 <sup>2</sup>	—	24	MHz
f <sub>ERCLK</sub>	外部参考时钟	—	16	MHz
f <sub>LPTMR_ERCLK</sub>	LPTMR 外部参考时钟	—	16	MHz
f <sub>osc_hi_2</sub>	晶振或谐振器频率 — 高频模式 (高范围) (MCG_C2[RANGE]=1x)	—	16	MHz
f <sub>TPM</sub>	TPM 异步时钟	—	8	MHz
f <sub>UART0</sub>	UART0 异步时钟	—	8	MHz

1. VLPR 和 VLPS 模式下的频率限制会覆盖其他所有模块时序特性中的一切频率特性。无论是从 RUN 还是从 VLPR 进入 VLPS，VLPS 也适用同样的频率限制。
2. 仅当信号源为外部引脚时，才能在 VLPR 或 VLPS 下以此速度向 LPTMR 提供时钟。



## 2.3.2 一般开关规格

这些一般规格适用于配置为 GPIO 和 UART 的所有信号。

表 13. 一般开关规格

说明	最小值	最大值	单位	附注
GPIO 引脚中断脉冲宽度（数字毛刺滤波器禁用）— 同步路径	1.5	—	总线时钟周期	1
外部 reset_b 和 NMI 引脚中断脉冲宽度 — 异步路径	100	—	ns	2
GPIO 引脚中断脉冲宽度 — 异步路径	16	—	ns	2
端口上升和下降时间	—	36	ns	3

1. 必须满足更高的同步和异步时序要求。
2. 这是保证可以识别的最短脉冲。
3. 75 pF 负载

## 2.4 热学特性

### 2.4.1 热学操作要求

表 14. 热学操作要求

符号	说明	最小值	最大值	单位
$T_J$	裸片结温	-40	125	°C
$T_A$	环境温度	-40	105	°C

### 2.4.2 热属性

表 15. 热属性

板类型	符号	说明	48 LQFP	32 LQFP	32 QFN	24 QFN	单位	附注
单层(1S)	$R_{\theta JA}$	热阻, 连接到外部环境（自然对流）	82	88	97	110	°C/W	1
四层(2s2p)	$R_{\theta JA}$	热阻, 连接到外部环境（自然对流）	58	59	34	42	°C/W	
单层(1S)	$R_{\theta JMA}$	热阻, 连接到外部环境（空气速率为 200 英尺/分钟）	70	74	81	92	°C/W	

下一页继续介绍此表...

表 15. 热属性 (继续)

板类型	符号	说明	48 LQFP	32 LQFP	32 QFN	24 QFN	单位	附注
四层(2s2p)	$R_{\theta JMA}$	热阻, 连接到外部环境 (空气速率为 200 英尺/分钟)	52	52	28	36	°C/W	
—	$R_{\theta JB}$	热阻, 连接到板	36	35	13	18	°C/W	2
—	$R_{\theta JC}$	热阻, 连接到管壳	27	26	2.3	3.7	°C/W	3
—	$\Psi_{JT}$	热特性参数, 连接到外封装顶部中心 (自然对流)	8	8	8	10	°C/W	4

1. 根据 JEDEC 标准 JESD51-2“集成电路热测试方法的环境条件—自然对流 (静止空气)”或 EIA/JEDEC 标准 JESD51-6“集成电路热测试方法的环境条件—强制对流 (流动空气)”确定。
2. 根据 JEDEC 标准 JESD51-8“集成电路热测试方法的环境条件—连接到电路板”确定。
3. 根据 MIL-STD 883 方法 1012.1“测试方法标准：微电路”确定，其中冷板温度用于外壳温度。值包括封装顶部和冷板之间接口材料的热阻抗。
4. 根据 JEDEC 标准 JESD51-2“集成电路热测试方法的环境条件—自然对流 (静止空气)”确定。

## 3 外设工作要求与特性

### 3.1 内核模块

#### 3.1.1 SWD 电气特性

表 16. SWD 全电压范围电气特性

符号	说明	最小值	最大值	单位
	工作电压	1.71	3.6	V
J1	SWD_CLK 操作频率 • 串行线调试	0	25	MHz
J2	SWD_CLK 周期	1/J1	—	ns
J3	SWD_CLK 时钟脉冲宽度 • 串行线调试	20	—	ns
J4	SWD_CLK 上升和下降时间	—	3	ns
J9	SWD_CLK 上升前的 SWD_DIO 输入数据建立时间	10	—	ns
J10	SWD_DIO 输入数据至 SWD_CLK 上升的保持时间	0	—	ns
J11	SWD_CLK 高电平至 SWD_DIO 数据有效时间	—	32	ns
J12	SWD_CLK 高电平至 SWD_DIO 高阻态时间	5	—	ns

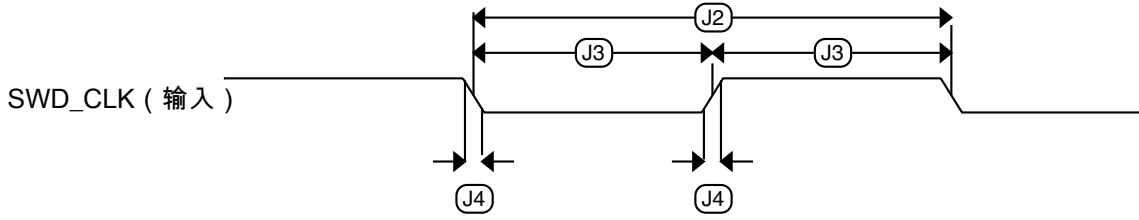


图 5. 串行线时钟输入时序

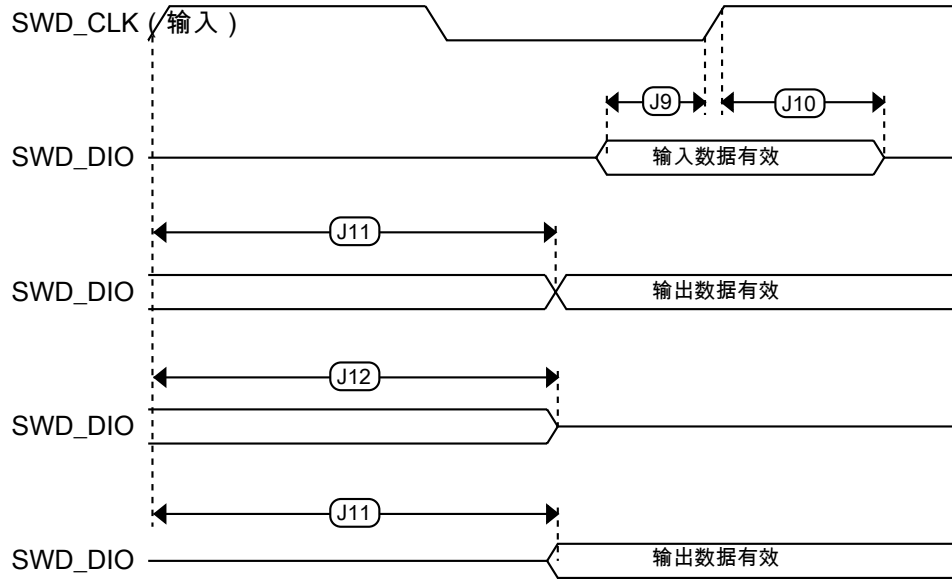


图 6. 串行线数据时序

### 3.2 系统模块

对于器件的系统模块，无特性要求。

### 3.3 时钟模块

### 3.3.1 MCG 规格

表 17. MCG 规格

符号	说明	最小值	典型值	最大值	单位	附注	
$f_{ints\_ft}$	内部参考频率（慢速时钟）— 出厂时已在标称 VDD 和 25 °C 条件下调整	—	32.768	—	kHz		
$f_{ints\_t}$	内部参考频率（慢速时钟）— 用户调整	31.25	—	39.0625	kHz		
$\Delta f_{dco\_res\_t}$	在固定电压和温度下，经调整后的平均 DCO 输出频率的分辨率 — 使用 C3[SCTRIM]和 C4[SCFTRIM]	—	$\pm 0.3$	$\pm 0.6$	%f <sub>dco</sub>	1	
$\Delta f_{dco\_t}$	经调整后的平均 DCO 输出频率随电压和温度变化的总偏差	—	+0.5/-0.7	$\pm 3$	%f <sub>dco</sub>	1, 2	
$\Delta f_{dco\_t}$	经调整后的平均 DCO 输出频率在固定电压和温度范围(0 - 70 °C)条件下的总偏差	—	$\pm 0.4$	$\pm 1.5$	%f <sub>dco</sub>	1, 2	
$f_{intf\_ft}$	内部参考频率（快速时钟）- 出厂时已在标称 VDD 和 25 °C 条件下调整	—	4	—	MHz		
$\Delta f_{intf\_ft}$	内部参考时钟（快速时钟）随温度和电压变化的频率偏差 — 出厂时已在标称 VDD 和 25 °C 条件下调整	—	+1/-2	$\pm 3$	%f <sub>intf\_ft</sub>	2	
$f_{intf\_t}$	内部参考频率（快速时钟）— 用户在标称 VDD 和 25 °C 条件下调整	3	—	5	MHz		
$f_{loc\_low}$	丢失外部时钟的最小频率 — 范围 = 00	$(3/5) \times f_{ints\_t}$	—	—	kHz		
$f_{loc\_high}$	丢失外部时钟的最小频率 — 范围 = 01、10 或 11	$(16/5) \times f_{ints\_t}$	—	—	kHz		
FLL							
$f_{fll\_ref}$	FLL 参考频率范围	31.25	—	39.0625	kHz		
$f_{dco}$	DCO 输出频率范围	低范围(DRS = 00) $640 \times f_{fll\_ref}$	20	20.97	25	MHz	3, 4
		中范围(DRS = 01) $1280 \times f_{fll\_ref}$	40	41.94	48	MHz	
$f_{dco\_t\_DMX32}$	DCO 输出频率	低范围(DRS = 00) $732 \times f_{fll\_ref}$	—	23.99	—	MHz	5, 6
		中范围(DRS = 01) $1464 \times f_{fll\_ref}$	—	47.97	—	MHz	
$J_{cyc\_fll}$	FLL 周期抖动 • $f_{VCO} = 48$ MHz	—	180	—	ps	7	
$t_{fll\_acquire}$	FLL 目标频率获取时间	—	—	1	ms	8	

1. 测量此参数时，使用内部参考时钟（慢速时钟）作为 FLL 的参考时钟（FEI 时钟模式）。
2. 此偏差与在标称 VDD 和 25 °C 条件下测定的出厂调整频率  $f_{ints\_ft}$  相对应。
3. 这些列出的典型值采用的是慢速内部参考时钟(FEI)，使用出厂调整值且 DMX32 = 0。
4. 最终系统的时钟频率不得超过最大指定值。还须考虑 DCO 频率随电压和温度变化的偏差( $\Delta f_{dco\_t}$ )。
5. 这些列出的典型值采用的是慢速内部参考时钟(FEI)，使用出厂调整值且 DMX32 = 1。
6. 生成的时钟频率不能超过器件的最大指定时钟频率。
7. 此规格基于周期或频率的标准偏差(RMS)。

8. 此特性适用于以下任意时间：FLL 参考源或参考分频因子改变时；调整值改变时；DMX32 位改变时；DRS 位改变时；或从“禁用 FLL”( BLPE、BLPI ) 变为“使能 FLL”( FEI、FEE、FBE、FBI ) 时。当晶振/谐振器用作参考时钟源时，此规格假定其已运行。

### 3.3.2 振荡器电气特性

#### 3.3.2.1 直流振荡器电气特性

表 18. 直流振荡器电气特性

符号	说明	最小值	典型值	最大值	单位	注释
V <sub>DD</sub>	电源电压	1.71	—	3.6	V	
I <sub>DDOSC</sub>	电源电流 - 低功耗模式(HGO=0) <ul style="list-style-type: none"> <li>• 32 kHz</li> <li>• 4 MHz</li> <li>• 8 MHz (RANGE=01)</li> <li>• 16 MHz</li> <li>• 24 MHz</li> <li>• 32 MHz</li> </ul>	—	500	—	nA	1
		—	200	—	μA	
		—	300	—	μA	
		—	950	—	μA	
		—	1.2	—	mA	
		—	1.5	—	mA	
I <sub>DDOSC</sub>	电源电流 - 高增益模式(HGO=1) <ul style="list-style-type: none"> <li>• 32 kHz</li> <li>• 4 MHz</li> <li>• 8 MHz (RANGE=01)</li> <li>• 16 MHz</li> <li>• 24 MHz</li> <li>• 32 MHz</li> </ul>	—	25	—	μA	1
		—	400	—	μA	
		—	500	—	μA	
		—	2.5	—	mA	
		—	3	—	mA	
		—	4	—	mA	
C <sub>x</sub>	EXTAL 管脚负载电容	—	—	—		2, 3
C <sub>y</sub>	XTAL 管脚负载电容	—	—	—		2, 3
R <sub>F</sub>	反馈电阻 — 低频、低功耗模式(HGO=0)	—	—	—	MΩ	2, 4
	反馈电阻 — 低频、高增益模式(HGO=1)	—	10	—	MΩ	
	反馈电阻 — 高频、低功耗模式(HGO=0)	—	—	—	MΩ	
	反馈电阻 — 高频、高增益模式(HGO=1)	—	1	—	MΩ	
R <sub>S</sub>	串联电阻 — 低频、低功耗模式(HGO=0)	—	—	—	kΩ	
	串联电阻 — 低频、高增益模式(HGO=1)	—	200	—	kΩ	
	串联电阻 — 高频、低功耗模式(HGO=0)	—	—	—	kΩ	
	串联电阻 — 高频、高增益模式(HGO=1)	—	0	—	kΩ	

下一页继续介绍此表...

**表 18. 直流振荡器电气特性 (继续)**

符号	说明	最小值	典型值	最大值	单位	注释
$V_{pp}^5$	峰峰值 (振荡器模式) - 低频、低功耗模式 (HGO=0)	—	0.6	—	V	
	峰峰值 (振荡器模式) - 低频、高增益模式 (HGO=1)	—	$V_{DD}$	—	V	
	峰峰值 (振荡器模式) - 高频、低功耗模式 (HGO=0)	—	0.6	—	V	
	峰峰值 (振荡器模式) - 高频、高增益模式 (HGO=1)	—	$V_{DD}$	—	V	

1.  $V_{DD}=3.3\text{ V}$ , 温度  $=25^\circ\text{ C}$
2. 参见晶体或谐振器制造商的建议
3. 使用低频率振荡器(RANGE = 00)时, 可使用集成电容器来提供  $C_x$ 、 $C_y$ 。其他所有情况下务必使用外部电容。
4. 选择低功耗模式时,  $R_F$  仅使用内部集成电阻, 而不能使用外部电阻。
5. EXTAL 和 XTAL 引脚只应连接到所需的振荡器组件, 而不得连接到其他任何器件。

### 3.3.2.2 振荡器频率特性

**表 19. 振荡器频率特性**

符号	说明	最小值	典型值	最大值	单位	注释
$f_{osc\_lo}$	振荡器晶振频率或谐振器频率 - 低频模式 (MCG_C2[RANGE]=00)	32	—	40	kHz	
$f_{osc\_hi\_1}$	振荡器晶振频率或谐振器频率 - 高频模式 (低范围) (MCG_C2[RANGE]=01)	3	—	8	MHz	
$f_{osc\_hi\_2}$	振荡器晶振频率或谐振器频率 - 高频模式 (高范围) (MCG_C2[RANGE]=1x)	8	—	32	MHz	
$f_{ec\_extal}$	输入时钟频率 (外部时钟模式)	—	—	48	MHz	1, 2
$t_{dc\_extal}$	输入时钟占空比 (外部时钟模式)	40	50	60	%	
$t_{cst}$	晶振启动时间 - 32 kHz 低频、低功耗模式 (HGO=0)	—	—	—	ms	3, 4
	晶振启动时间 - 32 kHz 低频、高增益模式 (HGO=1)	—	—	—	ms	
	晶振启动时间 - 8 MHz 高频 (MCG_C2[RANGE]=01)、低功耗模式(HGO=0)	—	0.6	—	ms	
	晶振启动时间 - 8 MHz 高频 (MCG_C2[RANGE]=01)、高增益模式(HGO=1)	—	1	—	ms	

1. 以外部时钟作为 FLL 或 PLL 的参考时, 会有其他的频率限制。
2. 从 FEI 或 FBI 模式转换到 FBE 模式时, 应限制输入时钟频率, 以便 FRDIV 对其分频时可依然保持在 DCO 输入时钟频率的限值内。
3. 为了达到规格要求, 务必遵循正确的 PC 板布局流程。
4. 晶体启动时间定义为从振荡器启动到 MCG\_S 寄存器中的 OSCINIT 位置位之间的时间长度。

## 3.4 存储器和存储器接口

### 3.4.1 Flash 电气特性

本节介绍 Flash 存储器模块的电气特性。

#### 3.4.1.1 Flash 时序特性 — 编程和擦除

下列规格表示内部电荷泵处于有效状态的时间，不包括命令执行时间。

表 20. NVM 编程/擦除时序特性

符号	说明	最小值	典型值	最大值	单位	附注
$t_{hvpgm4}$	长字编程高电压时间	—	7.5	18	$\mu\text{s}$	
$t_{hversscr}$	扇区擦除高电压时间	—	13	113	ms	1
$t_{hversall}$	全部擦除高电压时间	—	52	452	ms	1

1. 最大时间，基于循环周期终止时的期望值。

#### 3.4.1.2 Flash 时序特性 - 命令

表 21. flash 命令时序特性

符号	说明	最小值	典型值	最大值	单位	附注
$t_{rd1sec1k}$	“读 1s 区”执行时间 (Flash 扇区)	—	—	60	$\mu\text{s}$	1
$t_{pgmchk}$	“程序校验”执行时间	—	—	45	$\mu\text{s}$	1
$t_{rdsrc}$	“读资源”执行时间	—	—	30	$\mu\text{s}$	1
$t_{pgm4}$	“程序长字”执行时间	—	65	145	$\mu\text{s}$	
$t_{ersscr}$	“擦除 Flash 扇区”执行时间	—	14	114	ms	2
$t_{rd1all}$	“读 1s 所有块”执行时间	—	—	0.5	ms	
$t_{rdonce}$	“读一次”执行时间	—	—	25	$\mu\text{s}$	1
$t_{pgmonce}$	“程序运行一次”执行时间	—	65	—	$\mu\text{s}$	
$t_{ersall}$	“擦除所有块”执行时间	—	61	500	ms	2
$t_{vfykey}$	“验证后门访问密钥”执行时间	—	—	30	$\mu\text{s}$	1

- 假定 Flash 时钟频率为 25 MHz。
- 擦除参数的最大时间，基于循环周期终止时的期望值。

#### 3.4.1.3 Flash 高压电流特性

表 22. Flash 高压电流特性

符号	说明	最小值	典型值	最大值	单位
$I_{DD\_PGM}$	高压 Flash 编程操作过程中的平均增加电流	—	2.5	6.0	mA
$I_{DD\_ERS}$	高压 Flash 擦除操作过程中的平均增加电流	—	1.5	4.0	mA

### 3.4.1.4 可靠性特性

表 23. NVM 可靠性特性

符号	说明	最小值	典型值 <sup>1</sup>	最大值	单位	注释
程序 Flash						
$t_{\text{nvmpretp10k}}$	高达 10000 个周期后的数据保留时间	5	50	—	年	
$t_{\text{nvmpretp1k}}$	高达 1000 个周期后的数据保留时间	20	100	—	年	
$n_{\text{nvmcycp}}$	周期寿命	10 K	50 K	—	周期	2

1. 典型数据保留值基于加速高温和 25 °C 恒温用例情况下所测得的响应。此项技术不适用工程通告 EB618。工程通告 EB619 中定义的典型耐受能力。
2. 擦写耐受能力表示  $-40\text{ °C} \leq T_j \leq 125\text{ °C}$  温度范围内的编程/擦除次数。

## 3.5 安全性和完整性模块

对于器件的安全性和完整性模块，无特性要求。

## 3.6 模拟

### 3.6.1 ADC 电气特性

所有 ADC 通道满足 12 位单端精度特性。

#### 3.6.1.1 12 位 ADC 操作条件

表 24. 12 位 ADC 操作条件

符号	描述	条件	最小值	典型值 <sup>1</sup>	最大值	单位	附注
$V_{\text{DDA}}$	供电电压	绝对值	1.71	—	3.6	V	
$\Delta V_{\text{DDA}}$	供电电压	$V_{\text{DD}}$ 的差值 ( $V_{\text{DD}} - V_{\text{DDA}}$ )	-100	0	+100	mV	2
$\Delta V_{\text{SSA}}$	接地电压	$V_{\text{SS}}$ 的差值 ( $V_{\text{SS}} - V_{\text{SSA}}$ )	-100	0	+100	mV	2
$V_{\text{REFH}}$	ADC 高参考电压		1.13	$V_{\text{DDA}}$	$V_{\text{DDA}}$	V	3
$V_{\text{REFL}}$	ADC 低参考电压		$V_{\text{SSA}}$	$V_{\text{SSA}}$	$V_{\text{SSA}}$	V	3
$V_{\text{ADIN}}$	输入电压		$V_{\text{REFL}}$	—	$V_{\text{REFH}}$	V	
$C_{\text{ADIN}}$	输入电容	• 8 位/10 位/12 位模式	—	4	5	pF	
$R_{\text{ADIN}}$	输入串联电阻		—	2	5	k $\Omega$	
$R_{\text{AS}}$	模拟源电阻 (外部)	12 位模式 $f_{\text{ADCK}} < 4\text{ MHz}$	—	—	5	k $\Omega$	4

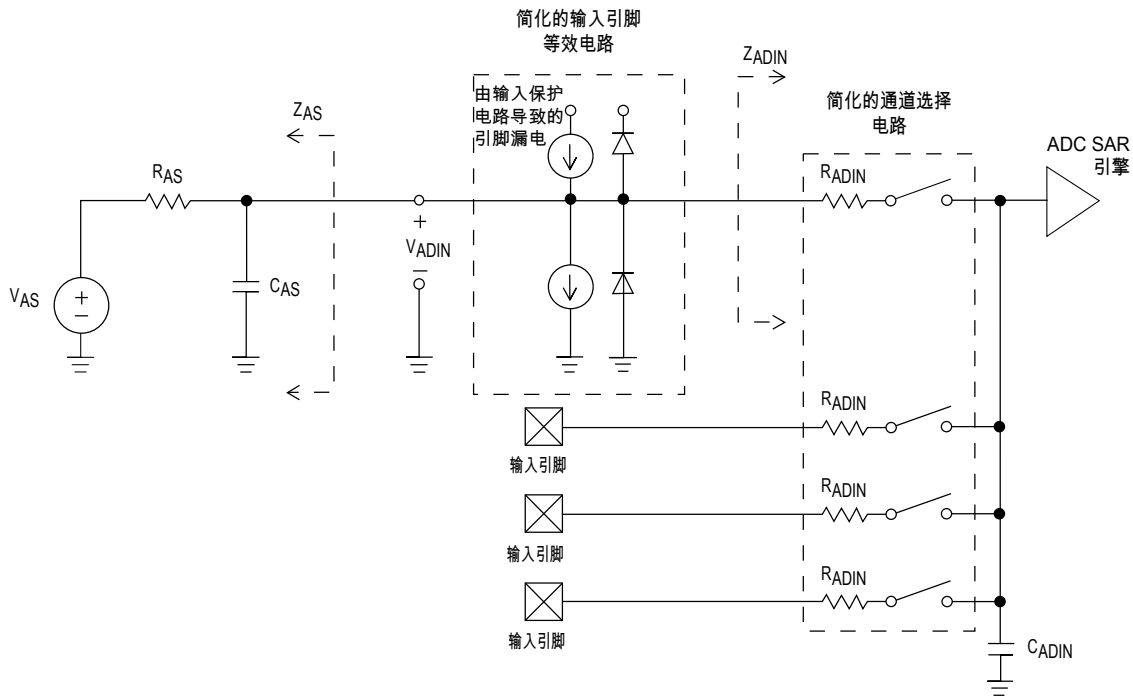
下一页继续介绍此表...



**表 24. 12 位 ADC 操作条件 (继续)**

符号	描述	条件	最小值	典型值 <sup>1</sup>	最大值	单位	附注
$f_{ADCK}$	ADC 转换时钟频率	$\leq 12$ 位模式	1.0	—	18.0	MHz	5
$C_{rate}$	ADC 转换速率	$\leq 12$ 位模式 无 ADC 硬件平均值 连续转换功能使能, 后续转换时间	20.000	—	818.330	Ksps	6

1. 除非另有说明, 否则典型值假定  $V_{DDA} = 3.0\text{ V}$ ,  $\text{Temp} = 25^\circ\text{C}$ ,  $f_{ADCK} = 1.0\text{ MHz}$ 。典型值仅供参考, 并未在生产中进行测试。
2. 直流电位差。
3. 在没有专用  $V_{REFH}$  和  $V_{REFL}$  引脚的封装中,  $V_{REFH}$  内部连接到  $V_{DDA}$  上, 而  $V_{REFL}$  内部连接到  $V_{SSA}$  上。
4. 此电阻是 MCU 的外部电阻。为达到最佳效果, 模拟源电阻必须尽量小一些。此数据手册中的结果来自于模拟源电阻  $< 8\ \Omega$  的系统。 $R_{AS}/C_{AS}$  时间常数应当始终  $< 1\text{ ns}$ 。
5. 要使用最大 ADC 转换时钟频率, 必须使  $\text{CFG2}[\text{ADHSC}]$  置位, 并使  $\text{CFG1}[\text{ADLPC}]$  清零。
6. 有关计算转换速率的相应准则和示例, 请下载 [ADC 计算器工具](#)。


**图 7. ADC 输入阻抗等效图**

### 3.6.1.2 12 位 ADC 电气特性

**表 25. 12 位 ADC 特性( $V_{REFH} = V_{DDA}$ ,  $V_{REFL} = V_{SSA}$ )**

符号	描述	条件 <sup>1</sup>	最小值	典型值 <sup>2</sup>	最大值	单位	附注	
$I_{DDA\_ADC}$	电源电流		0.215	—	1.7	mA	3	
$f_{ADACK}$	ADC 异步时钟源	• ADLPC = 1, ADHSC = 0	1.2	2.4	3.9	MHz	$t_{ADACK} = 1/f_{ADACK}$	
		• ADLPC = 1, ADHSC = 1	2.4	4.0	6.1	MHz		
		• ADLPC = 0, ADHSC = 0	3.0	5.2	7.3	MHz		
		• ADLPC = 0, ADHSC = 1	4.4	6.2	9.5	MHz		
	采样时间	参见“参考手册”一章确定采样时间						
TUE	未调整总误差	• 12 位模式 • <12 位模式	— —	±4 ±1.4	±6.8 ±2.1	LSB <sup>4</sup>	5	
DNL	差分非线性	• 12 位模式	—	±0.7	-1.1 到+1.9	LSB <sup>4</sup>	5	
		• <12 位模式	—	±0.2	-0.3 到+0.5			
INL	积分非线性	• 12 位模式	—	±1.0	-2.7 到+1.9	LSB <sup>4</sup>	5	
		• <12 位模式	—	±0.5	-0.7 到+0.5			
$E_{FS}$	满量程误差	• 12 位模式	—	-4	-5.4	LSB <sup>4</sup>	$V_{ADIN} = V_{DDA}$ <sup>5</sup>	
		• <12 位模式	—	-1.4	-1.8			
$E_Q$	量化误差	• 12 位模式	—	—	±0.5	LSB <sup>4</sup>		
$E_{IL}$	输入漏电误差		$I_{in} \times R_{AS}$			mV	$I_{in}$ = 漏电流 (参见 MCU 电压和电流操作极限)	
	温度传感器斜率	横跨设备整个温度范围		1.55	1.62	1.69	mV/°C	6
$V_{TEMP25}$	温度传感器电压	25 °C		706	716	726	mV	6

1. 所有精度数字均假定 ADC 已在  $V_{REFH} = V_{DDA}$  的情况下进行校准
2. 除非另有说明，否则典型值假定  $V_{DDA} = 3.0\text{ V}$ 、 $\text{Temp} = 25^\circ\text{C}$ 、 $f_{ADCK} = 2.0\text{ MHz}$ 。典型值仅供参考，并未在生产中进行测试。
3. ADC 电源电流取决于 ADC 转换时钟速度、转换速率以及 ADC\_CFG1[ADLPC]（低功耗）。要使操作功耗最低，ADC\_CFG1[ADLPC]必须置位，ADC\_CFG2[ADHSC]位必须清零，且 ADC 转换时钟速度为 1 MHz。
4.  $1\text{ LSB} = (V_{REFH} - V_{REFL})/2^N$
5. ADC 转换时钟 < 16 MHz，最大硬件平均值(AVG E = %1, AVGS = %11)
6. ADC 转换时钟 < 3 MHz

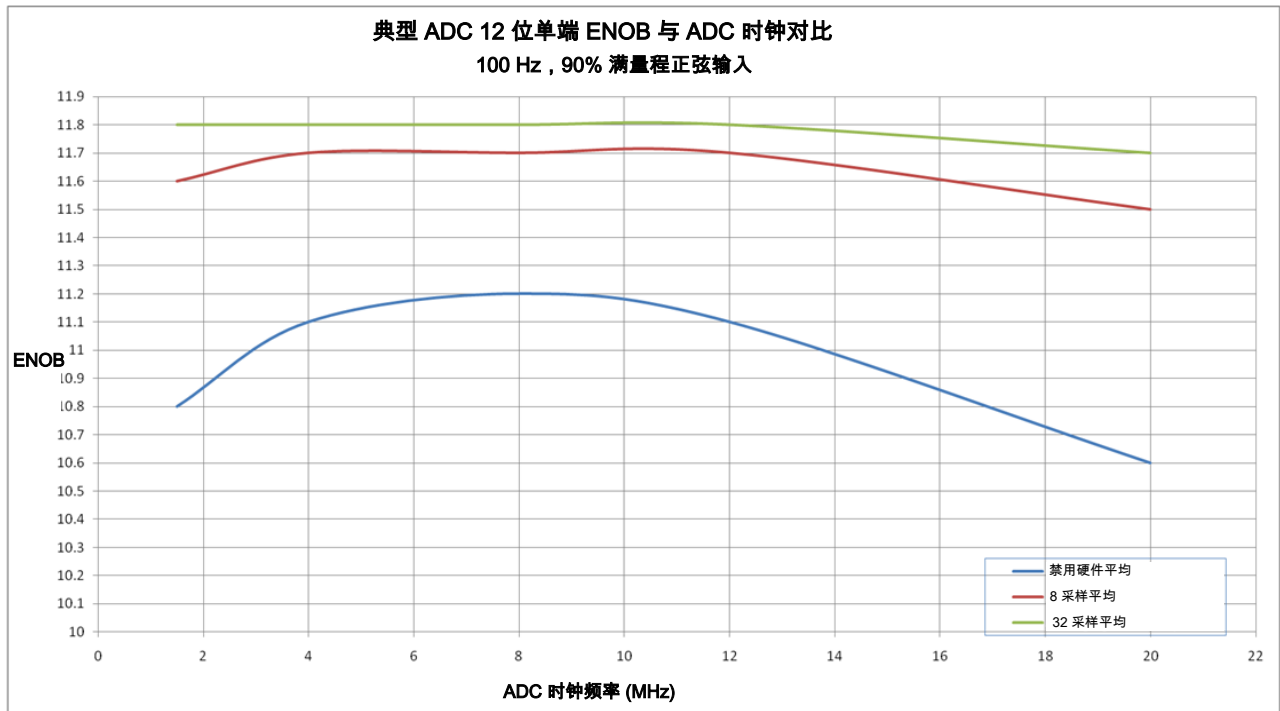


图 8. 典型 ENOB 与 ADC\_CLK, 12 位单端模式

### 3.6.2 CMP 和 6 位 DAC 的电气特性

表 26. 比较器和 6 位 DAC 的电气特性

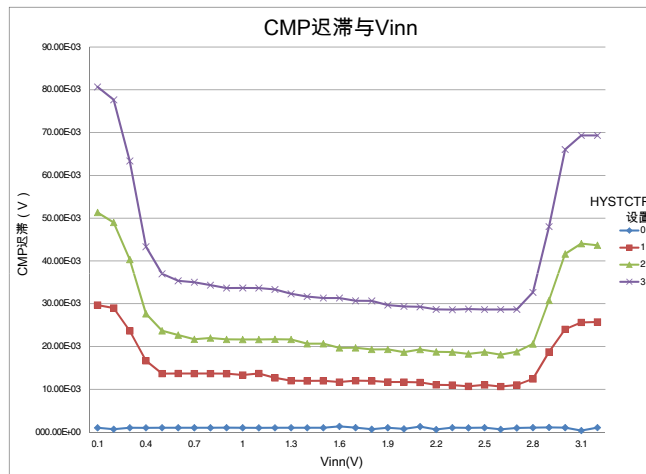
符号	说明	最小值	典型值	最大值	单位
$V_{DD}$	电源电压	1.71	—	3.6	V
$I_{DDHS}$	电源电流, 高速模式 (EN = 1, PMODE = 1)	—	—	200	$\mu$ A
$I_{DDL5}$	电源电流, 低速模式 (EN = 1, PMODE = 0)	—	—	20	$\mu$ A
$V_{AIN}$	模拟输入电压	$V_{SS}$	—	$V_{DD}$	V
$V_{AIO}$	模拟输入偏移电压	—	—	20	mV
$V_H$	模拟比较器迟滞 <sup>1</sup>				
	• CR0[HYSTCTR] = 00	—	5	—	mV
	• CR0[HYSTCTR] = 01	—	10	—	mV
	• CR0[HYSTCTR] = 10	—	20	—	mV
	• CR0[HYSTCTR] = 11	—	30	—	mV
$V_{CMPOh}$	输出高电平	$V_{DD} - 0.5$	—	—	V
$V_{CMPOl}$	输出低电平	—	—	0.5	V
$t_{DHS}$	传播延迟, 高速模式 (EN = 1, PMODE = 1)	20	50	200	ns

下一页继续介绍此表...

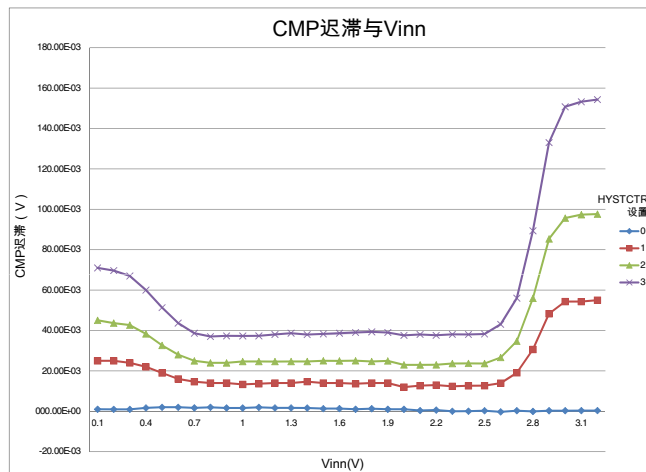
**表 26. 比较器和 6 位 DAC 的电气特性 (继续)**

符号	说明	最小值	典型值	最大值	单位
$t_{DLS}$	传播延迟, 低速模式 (EN = 1, PMODE = 0)	80	250	600	ns
	模拟比较器初始化延迟 <sup>2</sup>	—	—	40	$\mu$ s
$I_{DAC6b}$	6 位 DAC 增加电流 (使能)	—	7	—	$\mu$ A
INL	6 位 DAC 积分非线性	-0.5	—	0.5	LSB <sup>3</sup>
DNL	6 位 DAC 差分非线性	-0.3	—	0.3	LSB

1. 在输入电压范围限定为 0.7 至  $V_{DD}-0.7$  V 的条件下测定典型迟滞。
2. 比较器初始化延迟是指从软件执行写操作来改变控制输入 (写入 DACEN、VRSEL、PSEL、MSEL、VOSEL) 到比较器输出达到稳定电平的时间。
3.  $1 \text{ LSB} = V_{\text{reference}}/64$



**图 9. 典型迟滞与  $V_{in}$  电平 ( $V_{DD} = 3.3$  V,  $PMODE = 0$ )**



**图 10. 典型迟滞与  $V_{in}$  电平 ( $V_{DD} = 3.3$  V,  $PMODE = 1$ )**

### 3.6.3 12 位 DAC 电气特性

#### 3.6.3.1 12 位 DAC 操作要求

表 27. 12 位 DAC 操作要求

符号	描述	最小值	最大值	单位	附注
$V_{DDA}$	电源电压		3.6	V	
$V_{DACR}$	参考电压	1.13	3.6	V	1
$C_L$	输出负载电容	—	100	pF	2
$I_L$	输出负载电流	—	1	mA	

1. DAC 基准电压可选用  $V_{DDA}$  或  $V_{REFH}$ 。
2. 小负载电容(47 pF)有助于改善 DAC 的带宽性能

#### 3.6.3.2 12 位 DAC 特性

表 28. 12 位 DAC 特性

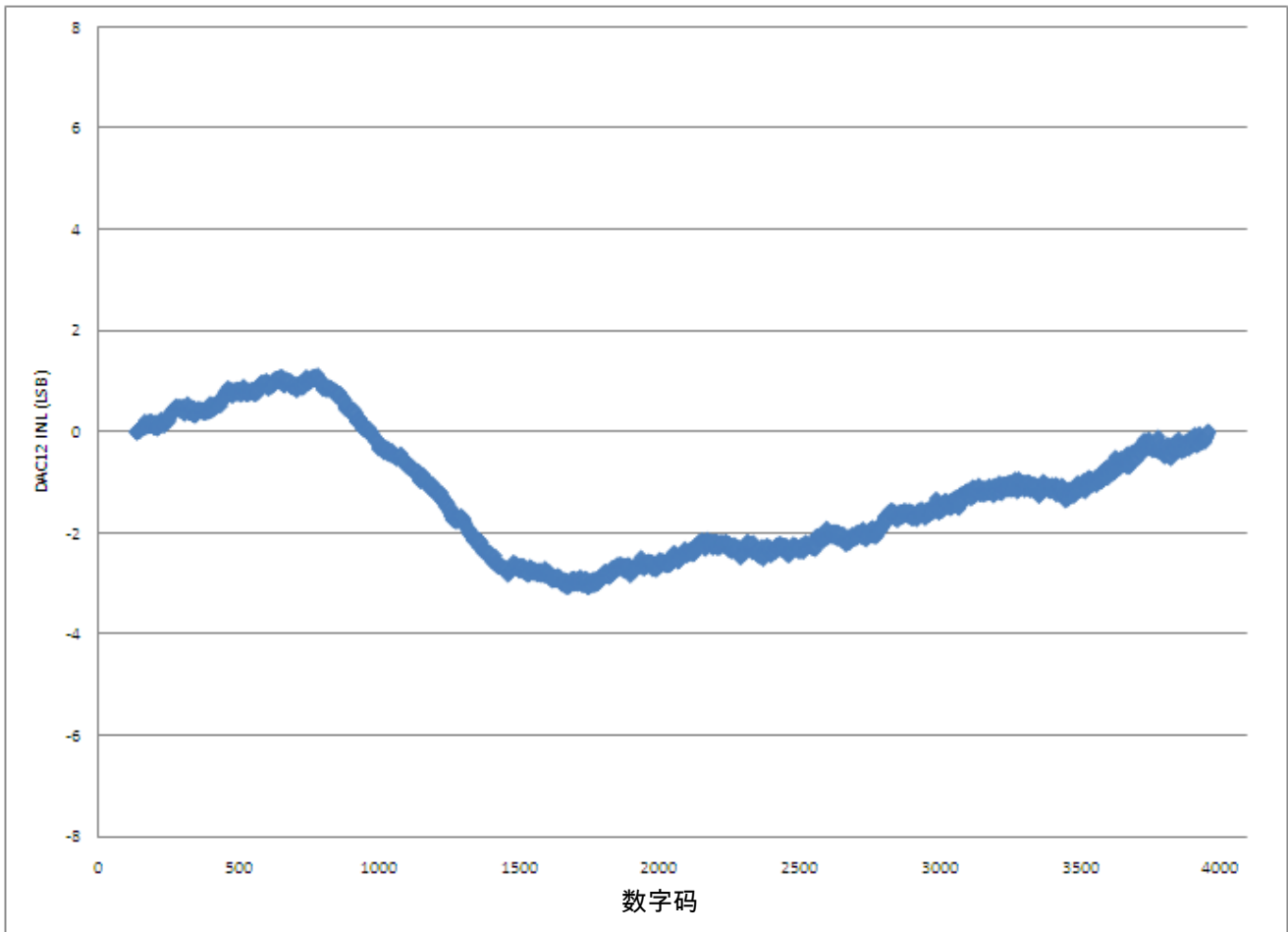
符号	说明	最小值	典型值	最大值	单位	注释
$I_{DDA\_DACLP}$	电源电流 - 低功耗模式	—	—	250	$\mu$ A	
$I_{DDA\_DACHP}$	电源电流 - 高速模式	—	—	900	$\mu$ A	
$t_{DACLP}$	满量程建立时间 (0x080 到 0xF7F) - 低功耗模式	—	100	200	$\mu$ s	1
$t_{DACHP}$	满量程建立时间 (0x080 到 0xF7F) - 高功耗模式	—	15	30	$\mu$ s	1
$t_{CCDACLP}$	代码-代码建立时间 (0xBF8 到 0xC08) - 低功耗模式和高速模式	—	0.7	1	$\mu$ s	1
$V_{dacoutl}$	DAC 输出电压范围低电平 - 高速模式, 无负载, DAC 设为 0x000	—	—	100	mV	
$V_{dacouth}$	DAC 输出电压范围高电平 - 高速模式, 无负载, DAC 设为 0xFFF	$V_{DACR} - 100$	—	$V_{DACR}$	mV	
INL	积分非线性误差 - 高速模式	—	—	$\pm 8$	LSB	2
DNL	差分非线性误差 - $V_{DACR} > 2 V$	—	—	$\pm 1$	LSB	3
DNL	差分非线性误差 - $V_{DACR} = V_{REF\_OUT}$	—	—	$\pm 1$	LSB	4
$V_{OFFSET}$	偏移误差	—	$\pm 0.4$	$\pm 0.8$	%FSR	5
$E_G$	增益误差	—	$\pm 0.1$	$\pm 0.6$	%FSR	5
PSRR	电源纹波抑制比, $V_{DDA} \geq 2.4 V$	60	—	90	dB	
$T_{CO}$	温度系数偏移电压	—	3.7	—	$\mu$ V/C	6
$T_{GE}$	温度系数增益误差	—	0.000421	—	%FSR/C	
$R_{op}$	输出电阻 (负载 = 3 k $\Omega$ )	—	—	250	$\Omega$	
SR	压摆率 -80h $\rightarrow$ F7Fh $\rightarrow$ 80h	1.2	1.7	—	V/ $\mu$ s	

下一页继续介绍此表...

**表 28. 12 位 DAC 特性 (继续)**

符号	说明	最小值	典型值	最大值	单位	注释
	<ul style="list-style-type: none"> <li>• 高功率(SP<sub>HP</sub>)</li> <li>• 低功率(SP<sub>LP</sub>)</li> </ul>	0.05	0.12	—		
BW	3dB 带宽				kHz	
	<ul style="list-style-type: none"> <li>• 高功率(SP<sub>HP</sub>)</li> <li>• 低功率(SP<sub>LP</sub>)</li> </ul>	550	—	—		
		40	—	—		

- ±1 LSB 建立时间
- INL 在 0 + 100 mV 至 V<sub>DACR</sub> - 100 mV 范围内测得
- DNL 在 0 + 100 mV 至 V<sub>DACR</sub> - 100 mV 范围内测得
- DNL 在 0 + 100 mV 至 V<sub>DACR</sub> - 100 mV (V<sub>DDA</sub> > 2.4 V)范围内测得
- 在 V<sub>SS</sub> + 100 mV 至 V<sub>DACR</sub> - 100 mV 范围内, 利用最佳拟合曲线计算
- V<sub>DDA</sub> = 3.0 V, 参考选择设为 V<sub>DDA</sub> (DACx\_CO:DACRFS = 1), 高功耗模式 (DACx\_CO:LPEN = 0), DAC 设为 0x800, 温度范围为设备全温度范围 ( )


**图 11. 典型 INL 误差与数字码**

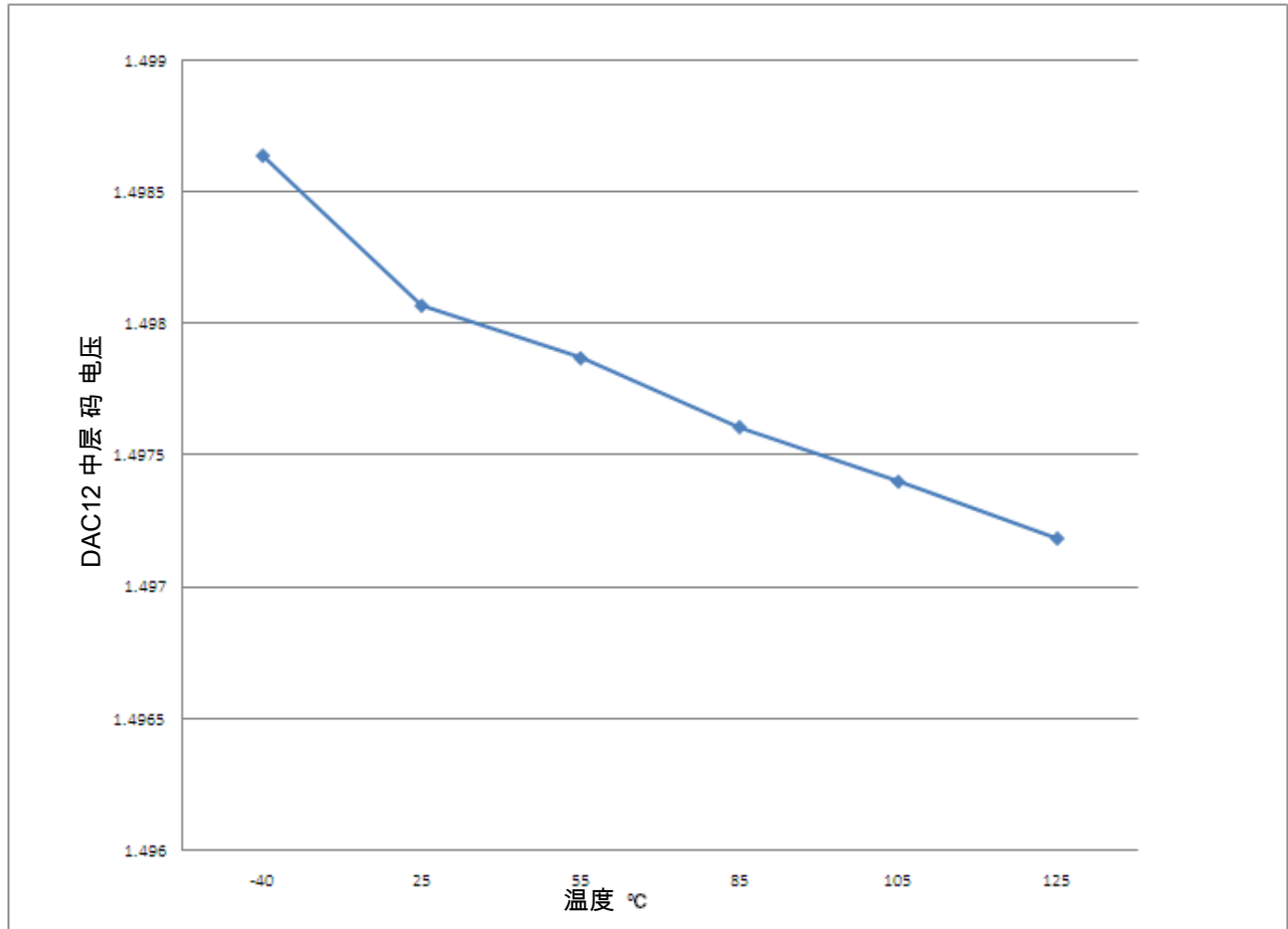


图 12. 半量程失调与温度

## 3.7 定时器

参见[一般开关规格](#)。

## 3.8 通信接口

### 3.8.1 SPI 电气及时序特性

串行外设接口(SPI)提供一种可实现主机和从机工作模式的同步串行总线。多数传输特性都是可编程的。下列表格提供了传统 SPI 时序模式的时序特性。如需了解与较慢的外设器件通信所用的可编程的传输属性, 请参见芯片参考手册中的 SPI 章节。

除非另有说明，显示的所有时序相关条件均为 20%  $V_{DD}$  和 80%  $V_{DD}$  阈值，同时所有 SPI 引脚上的输入信号转换均为 3 ns，最大负载均为 30 pF。

**表 29. SPI 主机模式时序 - 管脚禁用压摆率**

编号	符号	说明	最小值	最大值	单位	注释
1	$f_{op}$	工作频率	$f_{periph}/2048$	$f_{periph}/2$	Hz	1
2	$t_{SPSCK}$	SPSCK 周期	$2 \times t_{periph}$	$2048 \times t_{periph}$	ns	2
3	$t_{Lead}$	启用前置时间	1/2	—	$t_{SPSCK}$	—
4	$t_{Lag}$	启用滞后时间	1/2	—	$t_{SPSCK}$	—
5	$t_{WSPSCK}$	时钟(SPSCK)高电平或低电平时间	$t_{periph} - 30$	$1024 \times t_{periph}$	ns	—
6	$t_{SU}$	数据建立时间 (输入)	16	—	ns	—
7	$t_{HI}$	数据保持时间 (输入)	0	—	ns	—
8	$t_v$	有效数据 (在 SPSCK 边沿后)	—	10	ns	—
9	$t_{HO}$	数据保持时间 (输出)	0	—	ns	—
10	$t_{RI}$	输入上升时间	—	$t_{periph} - 25$	ns	—
	$t_{FI}$	输入下降时间				
11	$t_{RO}$	输出上升时间	—	25	ns	—
	$t_{FO}$	输出下降时间				

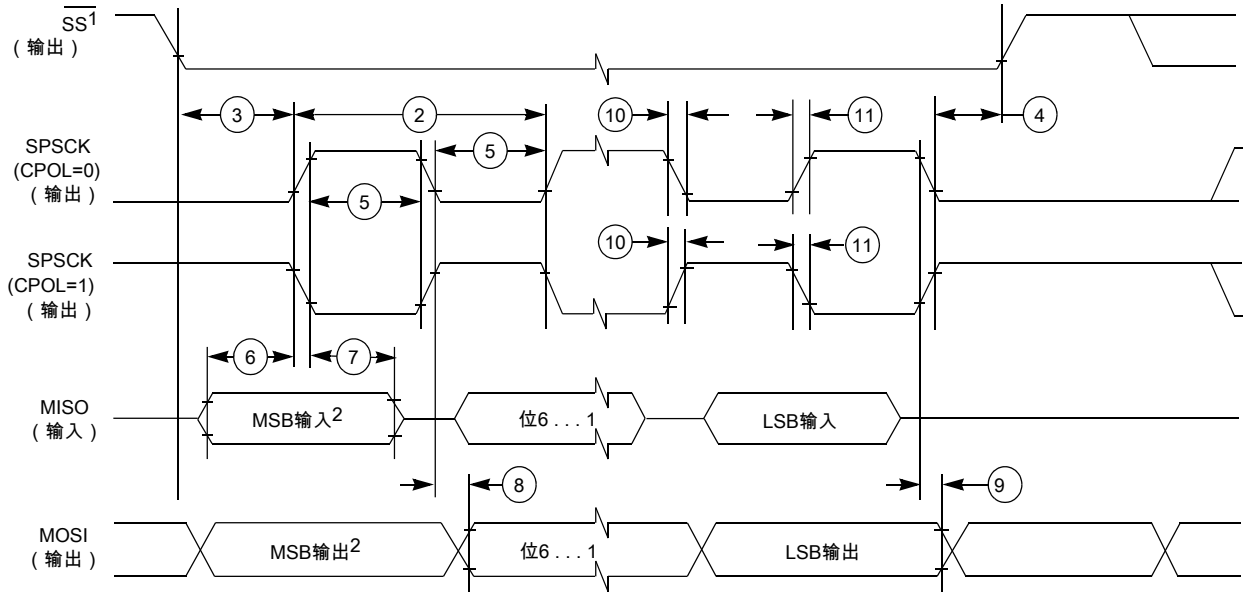
1. 对于 SPI0,  $f_{periph}$  用作总线时钟( $f_{BUS}$ )。
2.  $t_{periph} = 1/f_{periph}$

**表 30. SPI 主机模式时序--管脚使能压摆率**

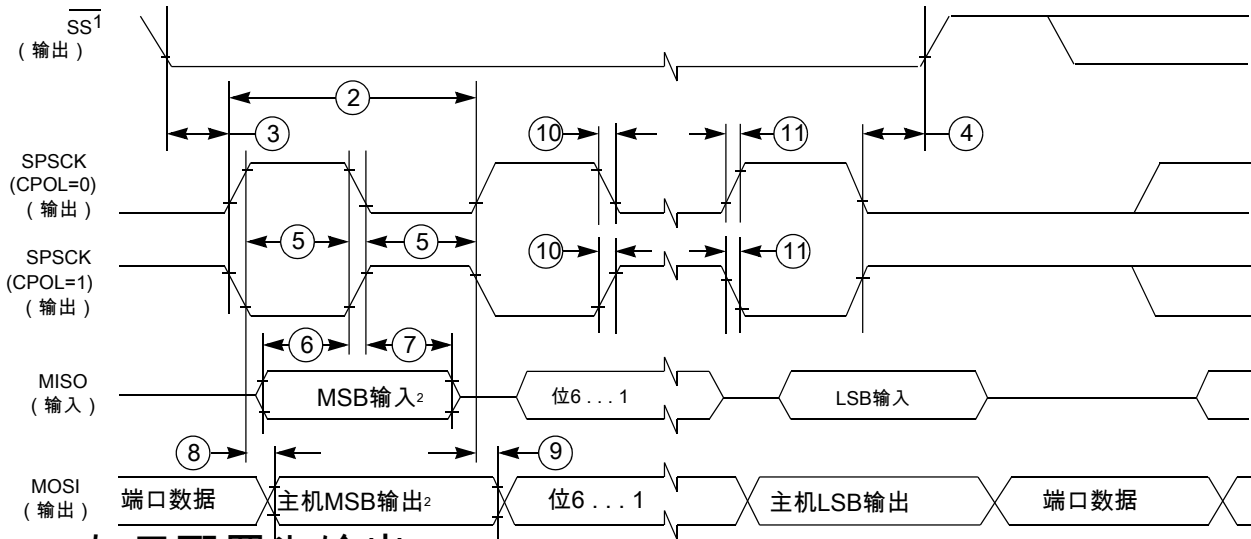
编号	符号	说明	最小值	最大值	单位	注释
1	$f_{op}$	工作频率	$f_{periph}/2048$	$f_{periph}/2$	Hz	1
2	$t_{SPSCK}$	SPSCK 周期	$2 \times t_{periph}$	$2048 \times t_{periph}$	ns	2
3	$t_{Lead}$	启用前置时间	1/2	—	$t_{SPSCK}$	—
4	$t_{Lag}$	启用滞后时间	1/2	—	$t_{SPSCK}$	—
5	$t_{WSPSCK}$	时钟(SPSCK)高电平或低电平时间	$t_{periph} - 30$	$1024 \times t_{periph}$	ns	—
6	$t_{SU}$	数据建立时间 (输入)	96	—	ns	—
7	$t_{HI}$	数据保持时间 (输入)	0	—	ns	—
8	$t_v$	有效数据 (在 SPSCK 边沿后)	—	52	ns	—
9	$t_{HO}$	数据保持时间 (输出)	0	—	ns	—
10	$t_{RI}$	输入上升时间	—	$t_{periph} - 25$	ns	—
	$t_{FI}$	输入下降时间				
11	$t_{RO}$	输出上升时间	—	36	ns	—
	$t_{FO}$	输出下降时间				

1. 对于 SPI0,  $f_{periph}$  用作总线时钟( $f_{BUS}$ )。
2.  $t_{periph} = 1/f_{periph}$





1. 如果配置为输出。
2. LSBF = 0。对于LSBF = 1，位序为LSB、位1、...、位6、MSB。

**图 13. SPI 主机模式时序(CPHA = 0)**


### 1. 如果配置为输出2。

LSBF = 0。对于LSBF = 1，位序为LSB、位1、...、位6、MSB。

**图 14. SPI 主机模式时序(CPHA = 1)**
**表 31. SPI 从机模式时序 - 管脚禁用压摆率**

编号	符号	说明	最小值	最大值	单位	注释
1	$f_{op}$	操作频率	0	$f_{periph}/4$	Hz	1
2	$t_{SPSCK}$	SPSCCK 周期	$4 \times t_{periph}$	—	ns	2
3	$t_{Lead}$	启用前置时间	1	—	$t_{periph}$	—

下一页继续介绍此表...

**表 31. SPI 从机模式时序 - 管脚禁用压摆率 (继续)**

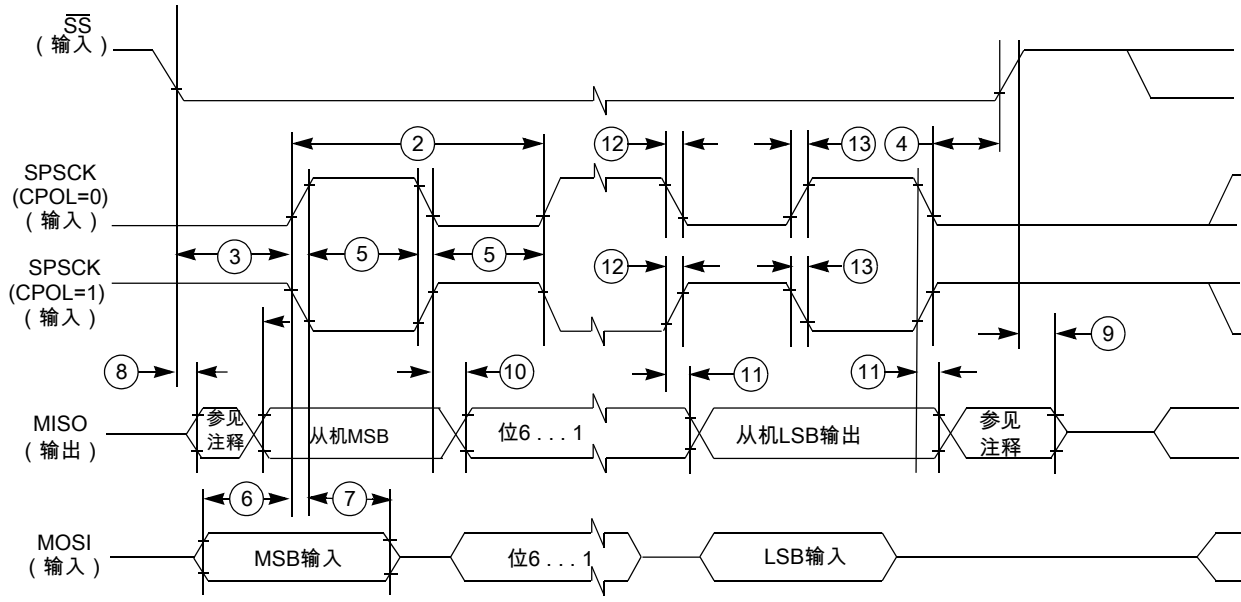
编号	符号	说明	最小值	最大值	单位	注释
4	$t_{Lag}$	启用滞后时间	1	—	$t_{periph}$	—
5	$t_{WSPSCK}$	时钟(SPSCK)高电平或低电平时间	$t_{periph} - 30$	—	ns	—
6	$t_{SU}$	数据建立时间 (输入)	2	—	ns	—
7	$t_{HI}$	数据保持时间 (输入)	7	—	ns	—
8	$t_a$	从机访问时间	—	$t_{periph}$	ns	3
9	$t_{dis}$	从机 MISO 禁用时间	—	$t_{periph}$	ns	4
10	$t_v$	有效数据 (在 SPSCK 边沿后)	—	22	ns	—
11	$t_{HO}$	数据保持时间 (输出)	0	—	ns	—
12	$t_{RI}$	输入上升时间	—	$t_{periph} - 25$	ns	—
	$t_{FI}$	输入下降时间				
13	$t_{RO}$	输出上升时间	—	25	ns	—
	$t_{FO}$	输出下降时间				

1. 对于 SPI0,  $f_{periph}$  用作总线时钟( $f_{BUS}$ )。
2.  $t_{periph} = 1/f_{periph}$
3. 从高阻抗状态到数据有效的的时间
4. 到高阻抗状态的保持时间

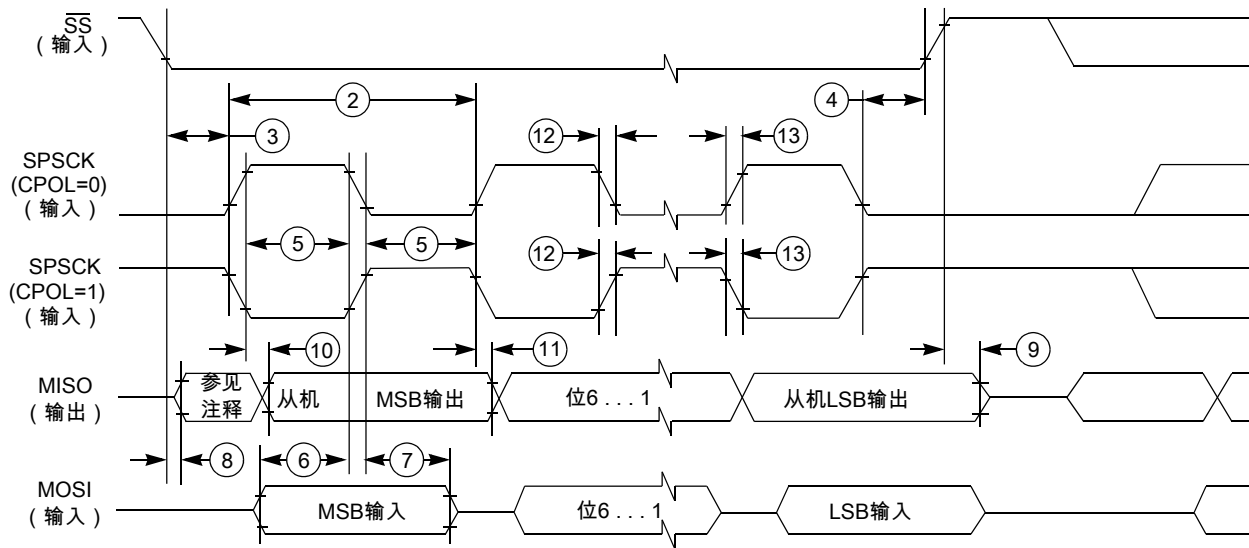
**表 32. SPI 从机模式时序--管脚使能压摆率**

编号	符号	说明	最小值	最大值	单位	注释
1	$f_{op}$	操作频率	0	$f_{periph}/4$	Hz	1
2	$t_{SPSCK}$	SPSCK 周期	$4 \times t_{periph}$	—	ns	2
3	$t_{Lead}$	启用前置时间	1	—	$t_{periph}$	—
4	$t_{Lag}$	启用滞后时间	1	—	$t_{periph}$	—
5	$t_{WSPSCK}$	时钟(SPSCK)高电平或低电平时间	$t_{periph} - 30$	—	ns	—
6	$t_{SU}$	数据建立时间 (输入)	2	—	ns	—
7	$t_{HI}$	数据保持时间 (输入)	7	—	ns	—
8	$t_a$	从机访问时间	—	$t_{periph}$	ns	3
9	$t_{dis}$	从机 MISO 禁用时间	—	$t_{periph}$	ns	4
10	$t_v$	有效数据 (在 SPSCK 边沿后)	—	122	ns	—
11	$t_{HO}$	数据保持时间 (输出)	0	—	ns	—
12	$t_{RI}$	输入上升时间	—	$t_{periph} - 25$	ns	—
	$t_{FI}$	输入下降时间				
13	$t_{RO}$	输出上升时间	—	36	ns	—
	$t_{FO}$	输出下降时间				

1. 对于 SPI0,  $f_{periph}$  用作总线时钟( $f_{BUS}$ )。
2.  $t_{periph} = 1/f_{periph}$
3. 从高阻抗状态到数据有效的的时间
4. 到高阻抗状态的保持时间



注释：未定义

**图 15. SPI 从机模式时序(CPHA = 0)**


注释：未定义

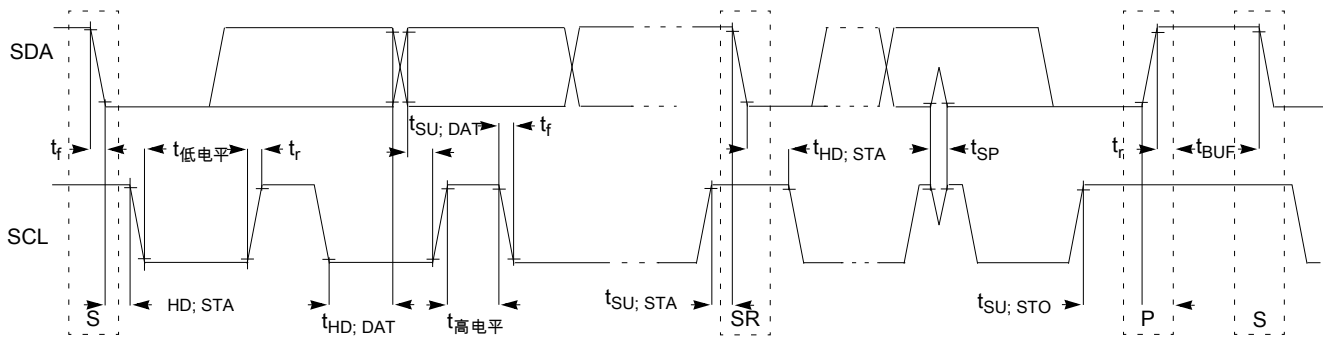
**图 16. SPI 从机模式时序(CPHA = 1)**

### 3.8.2 内部集成电路接口(I2C)时序

表 33. I2C 时序

特性	符号	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
SCL 时钟频率	$f_{SCL}$	0	100	0	400 <sup>1</sup>	kHz
重复 START 条件的保持时间。此周期后生成第一个时钟脉冲。	$t_{HD}; STA$	4	—	0.6	—	$\mu s$
SCL 时钟的 LOW 周期	$t_{LOW}$	4.7	—	1.3	—	$\mu s$
SCL 时钟的 HIGH 周期	$t_{HIGH}$	4	—	0.6	—	$\mu s$
重复 START 条件的建立时间	$t_{SU}; STA$	4.7	—	0.6	—	$\mu s$
I <sup>2</sup> C 总线器件的数据保持时间	$t_{HD}; DAT$	0 <sup>2</sup>	3.45 <sup>3</sup>	0 <sup>4</sup>	0.9 <sup>2</sup>	$\mu s$
数据建立时间	$t_{SU}; DAT$	250 <sup>5</sup>	—	100 <sup>3, 6</sup>	—	ns
SDA 和 SCL 信号的上升时间	$t_r$	—	1000	$20 + 0.1C_b$ <sup>7</sup>	300	ns
SDA 和 SCL 信号的下降时间	$t_f$	—	300	$20 + 0.1C_b$ <sup>6</sup>	300	ns
STOP 条件的建立时间	$t_{SU}; STO$	4	—	0.6	—	$\mu s$
STOP 和 START 条件之间的总线空闲时间	$t_{BUF}$	4.7	—	1.3	—	$\mu s$
输入滤波器必须抑制的尖峰脉宽	$t_{SP}$	N/A	N/A	0	50	ns

1. 在采用最大总线负载的快速模式下，仅当使用高电流驱动引脚（参见电压和电流特性）或使用正常驱动引脚且  $VDD \geq 2.7$  V 时，才能获得最高 SCL 时钟频率
2. 主机模式 I<sup>2</sup>C 在 SCL 下降沿的同时使地址字节的 ACK 变为无效。如果没有从机应答此地址字节，则产生负保持时间，具体取决于 SDA 和 SCL 线的边沿速率。
3. 只有在器件不延长 SCL 信号的 LOW 周期( $t_{LOW}$ )时，才必须满足最大  $t_{HD}; DAT$ 。
4. 输入信号压摆率 = 10 ns，输出负载 = 50 pF
5. 如果 TX FIFO 为空，则从机-发送器模式下的建立时间为 1 个 IPBus 时钟周期。
6. 可在标准模式 I<sup>2</sup>C 总线系统中使用快速模式 I<sup>2</sup>C 总线器件，但此时必须满足  $t_{SU}; DAT \geq 250$  ns 的要求。器件不延长 SCL 信号的 LOW 周期时，将自动适用该情形。如果此类器件确实延长了 SCL 信号的 LOW 周期，则它必须在释放 SCL 线之前，将下一个数据位输出至 SDA 线  $t_{rmax} + t_{SU}; DAT = 1000 + 250 = 1250$  ns（根据标准模式 I<sup>2</sup>C 总线规范）。
7.  $C_b$  = 一条总线线路的总电容，单位为 pF。


 图 17. I<sup>2</sup>C 总线器件上快速和标准模式的时序定义

### 3.8.3 UART

参见一般开关规格。

## 3.9 人机界面(HMI)

### 3.9.1 TSI 电气特性

表 34. TSI 电气特性

符号	说明	最小值	典型值	最大值	单位
TSI_RUNF	运行模式下的固定功耗	—	100	—	μA
TSI_RUNV	运行模式下的可变功耗（取决于振荡器的电流选择）	1.0	—	128	μA
TSI_EN	使能模式下的功耗	—	100	—	μA
TSI_DIS	禁用模式下的功耗	—	1.2	—	μA
TSI_TEN	TSI 模拟模块使能时间	—	66	—	μs
TSI_CREF	TSI 参考电容	—	1.0	—	pF
TSI_DVOLT	VP 和 VM 围绕标称值产生的电压变化	0.19	—	1.03	V

## 4 尺寸

### 4.1 获取封装尺寸

封装图纸中提供了封装尺寸。

如要查找封装图纸，敬请前往 [freescale.com](http://freescale.com)，并按关键字搜索封装图纸的文档编号：

如果需要此封装的图纸	请使用此文档编号
24 引脚 QFN	98ASA00474D
32 引脚 QFN	98ASA00473D
32 引脚 LQFP	98ASH70029A
48 引脚 LQFP	98ASH00962A

## 5 引脚分配

### 5.1 KL05 信号多路复用和引脚分配

下表显示的是各引脚上的信号以及这些引脚在本文档中所支持器件上的位置。“端口控制模块”负责选择每个引脚上的复用功能。

48 LQFP	32 QFN	32 LQFP	24 QFN	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3
1	1	1	1	PTB6/ IRQ_2/ LPTMR0_ALT3	禁用	禁用	PTB6/ IRQ_2/ LPTMR0_ALT3	TPM0_CH3	TPM_CLKIN1
2	2	2	2	PTB7/ IRQ_3	禁用	禁用	PTB7/ IRQ_3	TPM0_CH2	
3	—	—	—	PTA14	禁用	禁用	PTA14		TPM_CLKIN0
4	—	—	—	PTA15	禁用	禁用	PTA15		CLKOUT
5	3	3	3	VDD	VDD	VDD			
6	4	4	3	VREFH	VREFH	VREFH			
7	5	5	4	VREFL	VREFL	VREFL			
8	6	6	4	VSS	VSS	VSS			
9	7	7	5	PTA3	EXTAL0	EXTAL0	PTA3	I2C0_SCL	I2C0_SDA
10	8	8	6	PTA4/ LLWU_P0	XTAL0	XTAL0	PTA4/ LLWU_P0	I2C0_SDA	I2C0_SCL
11	—	—	—	VSS	VSS	VSS			
12	—	—	—	PTB18	禁用	禁用	PTB18		
13	—	—	—	PTB19	禁用	禁用	PTB19		
14	9	9	7	PTA5/ LLWU_P1/ RTC_CLK_IN	禁用	禁用	PTA5/ LLWU_P1/ RTC_CLK_IN	TPM0_CH5	SPI0_SS_b
15	10	10	8	PTA6/ LLWU_P2	禁用	禁用	PTA6/ LLWU_P2	TPM0_CH4	SPI0_MISO
16	11	11	—	PTB8	ADC0_SE11	ADC0_SE11	PTB8	TPM0_CH3	
17	12	12	—	PTB9	ADC0_SE10	ADC0_SE10	PTB9	TPM0_CH2	
18	—	—	—	PTA16/ IRQ_4	禁用	禁用	PTA16/ IRQ_4		
19	—	—	—	PTA17/ IRQ_5	禁用	禁用	PTA17/ IRQ_5		
20	—	—	—	PTA18/ IRQ_6	禁用	禁用	PTA18/ IRQ_6		
21	13	13	9	PTB10	ADC0_SE9/ TSIO_IN7	ADC0_SE9/ TSIO_IN7	PTB10	TPM0_CH1	
22	14	14	10	PTB11	ADC0_SE8/ TSIO_IN6	ADC0_SE8/ TSIO_IN6	PTB11	TPM0_CH0	

48 LQFP	32 QFN	32 LQFP	24 QFN	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3
23	15	15	11	PTA7/ IRQ_7/ LLWU_P3	ADC0_SE7/ TSIO_IN5	ADC0_SE7/ TSIO_IN5	PTA7/ IRQ_7/ LLWU_P3	SPI0_MISO	SPI0_MOSI
24	16	16	12	PTB0/ IRQ_8/ LLWU_P4	ADC0_SE6/ TSIO_IN4	ADC0_SE6/ TSIO_IN4	PTB0/ IRQ_8/ LLWU_P4	EXTRG_IN	SPI0_SCK
25	17	17	13	PTB1/ IRQ_9	ADC0_SE5/ TSIO_IN3/ DAC0_OUT/ CMP0_IN3	ADC0_SE5/ TSIO_IN3/ DAC0_OUT/ CMP0_IN3	PTB1/ IRQ_9	UART0_TX	UART0_RX
26	18	18	14	PTB2/ IRQ_10/ LLWU_P5	ADC0_SE4/ TSIO_IN2	ADC0_SE4/ TSIO_IN2	PTB2/ IRQ_10/ LLWU_P5	UART0_RX	UART0_TX
27	19	19	15	PTA8	ADC0_SE3/ TSIO_IN1	ADC0_SE3/ TSIO_IN1	PTA8		
28	20	20	16	PTA9	ADC0_SE2/ TSIO_IN0	ADC0_SE2/ TSIO_IN0	PTA9		
29	—	—	—	PTB20	禁用	禁用	PTB20		
30	—	—	—	VSS	VSS	VSS			
31	—	—	—	VDD	VDD	VDD			
32	—	—	—	PTB14/ IRQ_11	禁用	禁用	PTB14/ IRQ_11	EXTRG_IN	
33	21	21	—	PTA10/ IRQ_12	禁用	TSIO_IN11	PTA10/ IRQ_12		
34	22	22	—	PTA11/ IRQ_13	禁用	TSIO_IN10	PTA11/ IRQ_13		
35	23	23	17	PTB3/ IRQ_14	禁用	禁用	PTB3/ IRQ_14	I2C0_SCL	UART0_TX
36	24	24	18	PTB4/ IRQ_15/ LLWU_P6	禁用	禁用	PTB4/ IRQ_15/ LLWU_P6	I2C0_SDA	UART0_RX
37	25	25	19	PTB5/ IRQ_16	NMI_b	ADC0_SE1/ CMP0_IN1	PTB5/ IRQ_16	TPM1_CH1	NMI_b
38	26	26	20	PTA12/ IRQ_17/ LPTMR0_ALT2	ADC0_SE0/ CMP0_IN0	ADC0_SE0/ CMP0_IN0	PTA12/ IRQ_17/ LPTMR0_ALT2	TPM1_CH0	TPM_CLKIN0
39	27	27	—	PTA13	TSIO_IN9	TSIO_IN9	PTA13		
40	28	28	—	PTB12	TSIO_IN8	TSIO_IN8	PTB12		
41	—	—	—	PTA19	禁用	禁用	PTA19		SPI0_SS_b
42	—	—	—	PTB15	禁用	禁用	PTB15	SPI0_MOSI	SPI0_MISO
43	—	—	—	PTB16	禁用	禁用	PTB16	SPI0_MISO	SPI0_MOSI
44	—	—	—	PTB17	禁用	禁用	PTB17	TPM_CLKIN1	SPI0_SCK
45	29	29	21	PTB13	ADC0_SE13	ADC0_SE13	PTB13	TPM1_CH1	RTC_CLKOUT
46	30	30	22	PTA0/ IRQ_0/ LLWU_P7	SWD_CLK	ADC0_SE12/ CMP0_IN2	PTA0/ IRQ_0/ LLWU_P7	TPM1_CH0	SWD_CLK

48 LQFP	32 QFN	32 LQFP	24 QFN	Pin Name	默认值	ALT0	ALT1	ALT2	ALT3
47	31	31	23	PTA1/ IRQ_1/ LPTMR0_ALT1	RESET_b	禁用	PTA1/ IRQ_1/ LPTMR0_ALT1	TPM_CLKIN0	RESET_b
48	32	32	24	PTA2	SWD_DIO	禁用	PTA2	CMP0_OUT	SWD_DIO

## 5.2 KL05 引脚分配

下图显示的是本档中所支持器件的引脚分配。多个信号可能多路复用至一个引脚。要确定引脚使用的信号，请参见 [KL05 信号多路复用和引脚分配](#)。



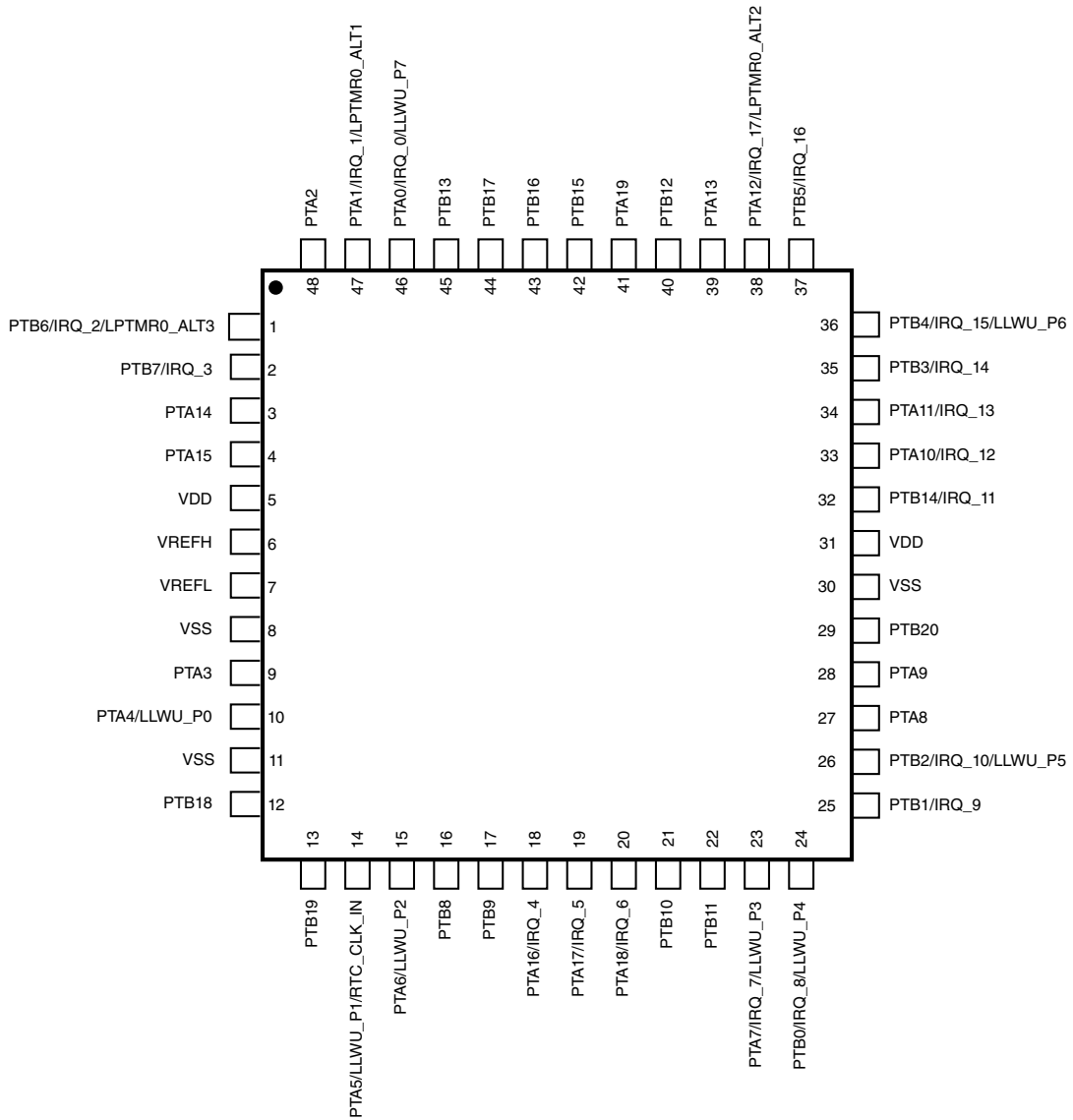


图 18. KL05 48 引脚 LQFP 引脚分配图

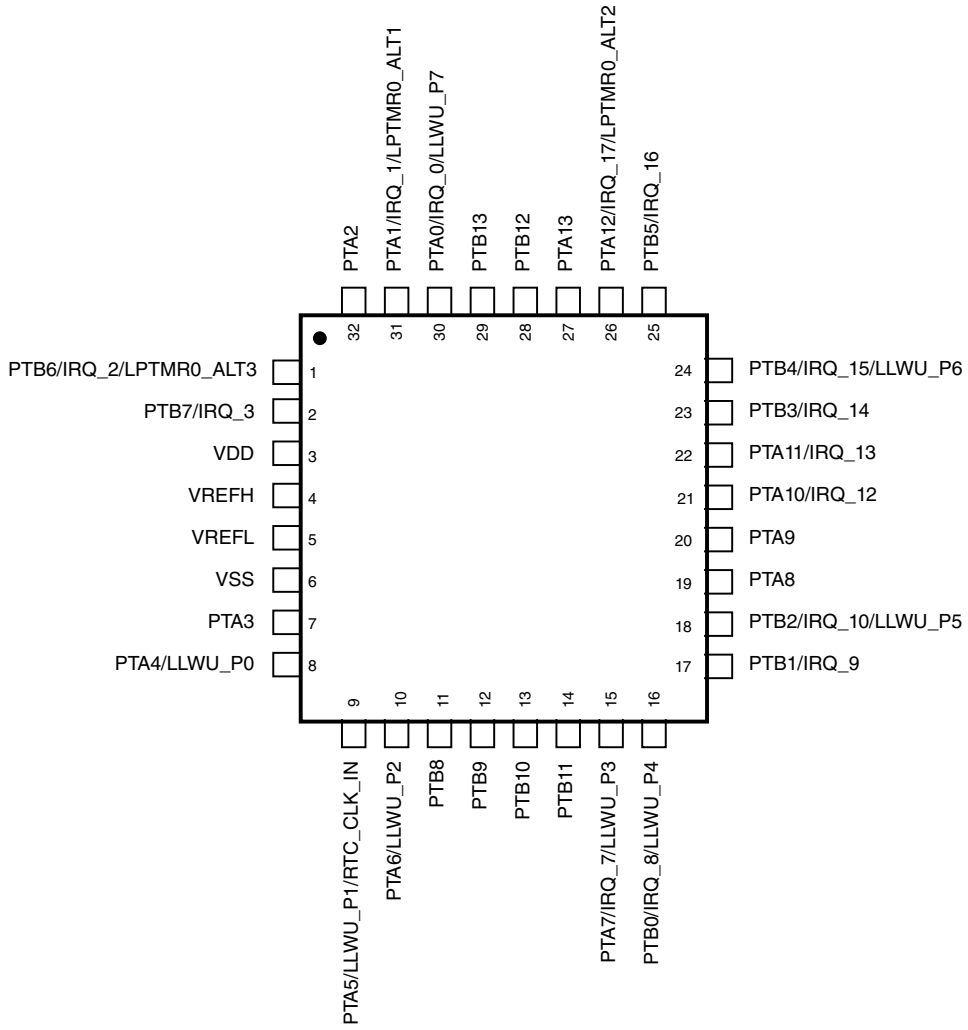


图 19. KL05 32 引脚 LQFP 引脚分配图

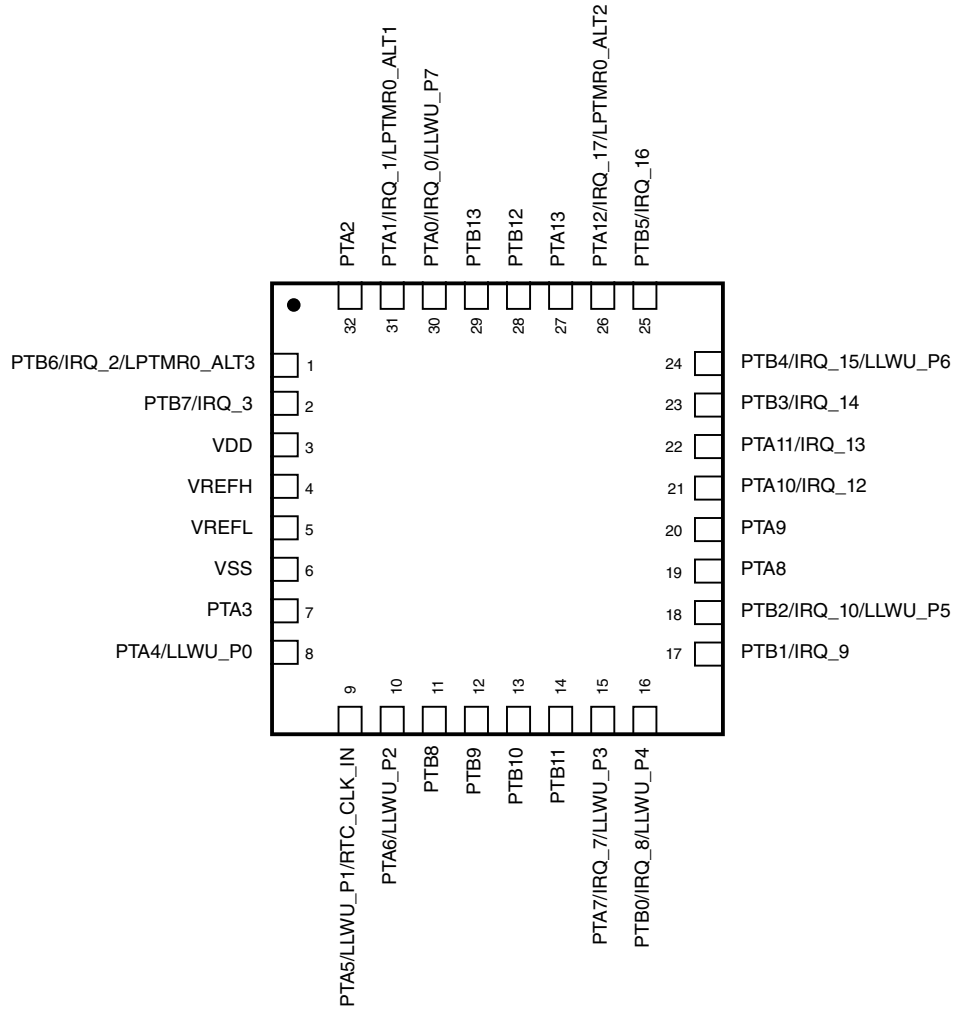


图 20. KL05 32 引脚 QFN 引脚分配图

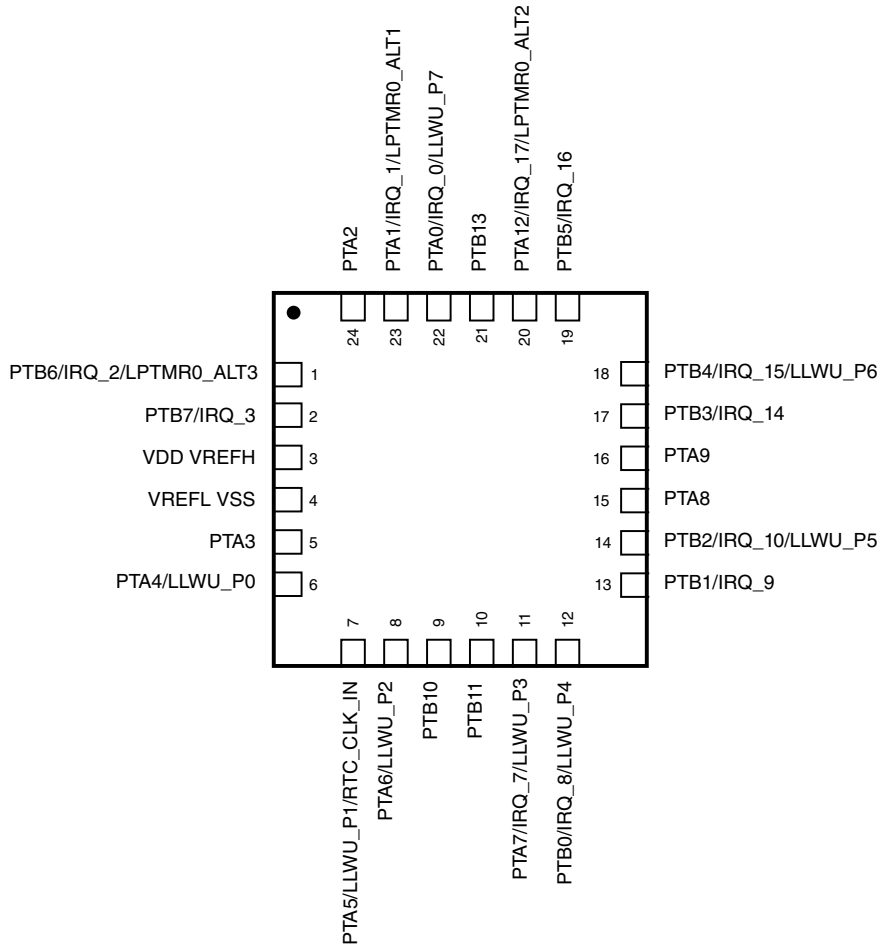


图 21. KL05 24 引脚 QFN 引脚分配图

## 6 订购器件

### 6.1 确定有效的可订购器件

有效的可订购器件型号已发布在网络上。要确定该器件的可订购型号，请访问 [freescale.com](http://freescale.com)，然后对以下器件执行型号搜索：PKL05 和 MKL05

## 7 部件标识

## 7.1 说明

芯片的器件型号包含识别具体器件的字段。您可以使用这些字段的值来确定收到的具体器件。

## 7.2 格式

该设备的器件编号采用如下格式：

Q KL## A FFF R T PP CC N

## 7.3 字段

下表列出器件型号中每个字段的可能值（并非所有组合都有效）：

**表 35. 器件型号字段说明**

字段	说明	值
Q	资格状态	<ul style="list-style-type: none"> <li>M = 完全合格，一般市场流通</li> <li>P = 资格预审</li> </ul>
KL##	Kinetis 系列	<ul style="list-style-type: none"> <li>KL05</li> </ul>
A	主要属性	<ul style="list-style-type: none"> <li>Z = Cortex-M0+</li> </ul>
FFF	程序存储器大小	<ul style="list-style-type: none"> <li>8 = 8 KB</li> <li>16 = 16 KB</li> <li>32 = 32 KB</li> </ul>
R	芯片版本	<ul style="list-style-type: none"> <li>(空白) = 主版本</li> <li>A = 主版本后的修订版本</li> </ul>
T	温度范围(°C)	<ul style="list-style-type: none"> <li>V = -40 至 105</li> </ul>
PP	封装标识符	<ul style="list-style-type: none"> <li>FK = 24 QFN (4 mm x 4 mm)</li> <li>LC = 32 LQFP (7 mm x 7 mm)</li> <li>FM = 32 QFN (5 mm x 5 mm)</li> <li>LF = 48 LQFP (7 mm x 7 mm)</li> </ul>
CC	最大 CPU 频率(MHz)	<ul style="list-style-type: none"> <li>4 = 48 MHz</li> </ul>
N	封装类型	<ul style="list-style-type: none"> <li>R = 盘卷</li> <li>(空) = 托盘</li> </ul>

## 7.4 示例

下面是一些器件型号示例：

MKL05Z8VLC4

## 8 术语和准则

### 8.1 定义：操作要求

操作要求是指在操作过程中必须保证达到的技术特性的指定值或值范围，目的是避免错误操作以及缩短芯片使用寿命。

#### 8.1.1 示例

下面是一个操作要求示例：

符号	说明	最小值	最大值	单位
V <sub>DD</sub>	1.0 V 内核供电电压	0.9	1.1	V

### 8.2 定义：特性

除非另有说明，特性是指在操作过程中，只要满足操作要求及其他任何指定条件，即保证达到的技术特性的指定值或值范围。

### 8.3 定义：属性

属性是指无论是否满足操作要求，均可保证达到的技术特性的指定值或值范围。

#### 8.3.1 示例

下面是一个属性示例：

符号	说明	最小值	最大值	单位
CIN_D	输入电容：数字引脚	—	7	pF

## 8.4 定义：极限

极限是指技术特性的最小值或最大值，如果超过此值，可能会导致芯片发生永久性故障：

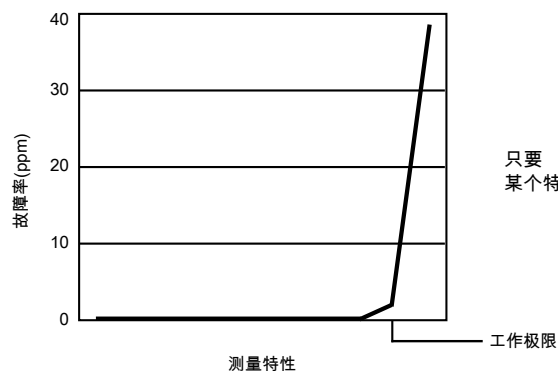
- 运行极限适合在芯片操作过程中使用。
- 非运行极限适合在芯片未通电的情况下使用。

### 8.4.1 示例

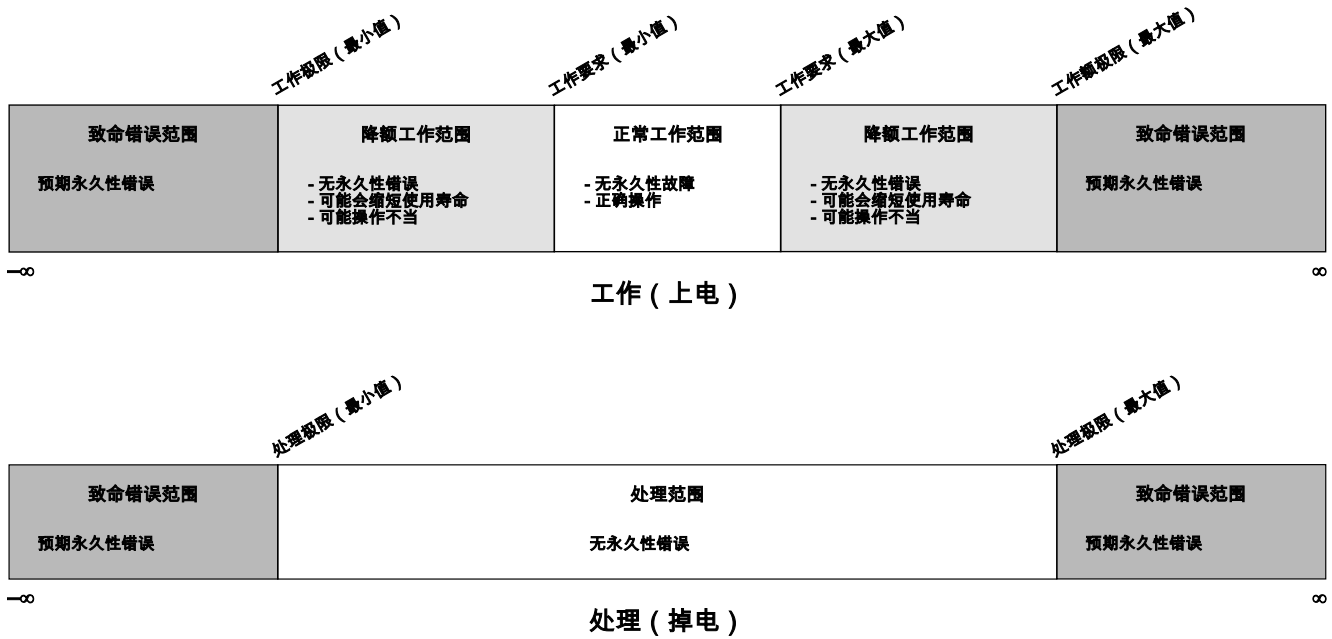
下面是一个运行极限示例：

符号	说明	最小值	最大值	单位
V <sub>DD</sub>	1.0 V 内核供电电压	-0.3	1.2	V

## 8.5 超出极限的后果



## 8.6 极限与操作要求的关系



## 8.7 极限和操作要求准则

在应用极限和操作要求时，请遵循以下准则：

- 切勿超出芯片的任何一个极限。
- 在正常操作期间，不要超出芯片的任何一项操作要求。
- 如果在非正常操作期间必须要超出某项操作要求（例如在上电时序期间），请尽量缩短持续时间。

## 8.8 定义：典型值

典型值是指满足下列条件的技术特性的指定值：

- 在特性指定的值范围内
- 在典型的制造工艺流程中，只要满足典型值条件或其他指定条件，即在操作过程中代表该特性

典型值供设计指导之用，未测试和担保。



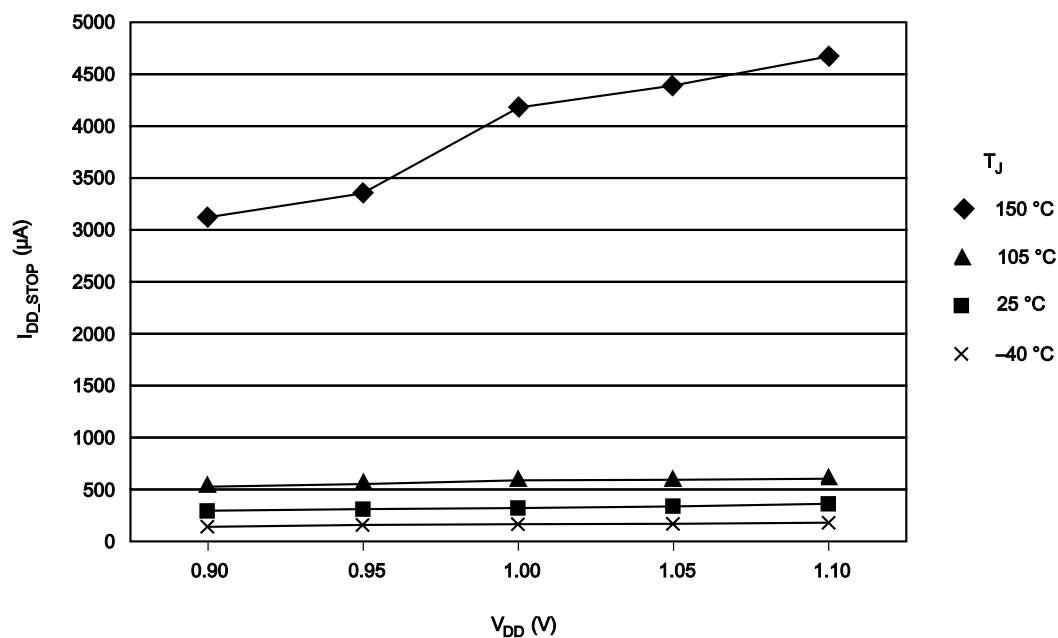
### 8.8.1 示例 1

下面是一个包含典型值的特性示例:

符号	说明	最小值	典型值	最大值	单位
$I_{WP}$	数字 I/O 弱上拉/下拉电流	10	70	130	$\mu A$

### 8.8.2 示例 2

下面是一个显示不同电压和温度条件下的典型值的图表示例:



## 8.9 典型值条件

典型值假设满足下列条件 (或指定的其他条件):

表 36. 典型值条件

符号	说明	值	单位
$T_A$	环境温度	25	$^{\circ}C$
$V_{DD}$	3.3 V 电源电压	3.3	V

## 9 修订记录

下表列出本文的修订记录。

**表 37. 修订记录**

修订版本号	日期	重大变更
2	09/2012	初始发布。
3	11/2012	补齐了所有待定内容。
4	03/2014	<ul style="list-style-type: none"> <li>• 更新了首页，并重新组织了章节结构。</li> <li>• 为 <a href="#">ESD 操作极限</a> 中的 <math>I_{LAT}</math> 增加了注释</li> <li>• 更新了 <a href="#">电压和电流操作极限</a></li> <li>• <a href="#">电压和电流工作要求</a> 中增加了 <math>V_{ODPU}</math></li> <li>• 更新了 <a href="#">电压和电流特性</a></li> <li>• 更新了 <a href="#">功耗模式转换特性</a></li> <li>• 更新了 <a href="#">功耗特性</a></li> <li>• 更新了 <a href="#">电容属性</a></li> <li>• <a href="#">器件时钟特性</a> 中更新了脚注</li> <li>• <a href="#">Flash 时序特性 - 命令</a> 中增加 <math>t_{hversall}</math></li> <li>• <a href="#">12 位 ADC 电气特性</a> 中更新了温度传感器斜率和电压并增加了脚注</li> <li>• <a href="#">12 位 DAC 操作要求</a> 中移除了 <math>T_A</math></li> <li>• 增加了 <a href="#">内部集成电路接口(I2C)时序</a></li> </ul>

**How to Reach Us:**

**Home Page:**  
[freescale.com](http://freescale.com)

**Web Support:**  
[freescale.com/support](http://freescale.com/support)

本文档中的信息仅供系统和软件实施方使用 Freescale 产品。本文并未明示或者暗示授予利用本文档信息进行设计或者加工集成电路的版权许可。Freescale 保留对此处任何产品进行更改的权利，恕不另行通知。

Freescale 对其产品在任何特定用途方面的适用性不做任何担保、表示或保证，也不承担因为应用程序或者使用产品或电路所产生的任何责任，明确拒绝承担包括但不限于后果性的或附带性的损害在内的所有责任。Freescale 的数据表和/或规格中所提供的“典型”参数在不同应用中可能并且确实不同，实际性能会随时间而有所变化。所有运行参数，包括“经典值”在内，必须经由客户的技术专家对每个客户的应用程序进行验证。Freescale 未转让与其专利权及其他权利相关的许可。Freescale 销售产品时遵循以下网址中包含的标准销售条款和条件：[freescale.com/SalesTermsandConditions](http://freescale.com/SalesTermsandConditions)。

Freescale, the Freescale logo, Energy Efficient Solutions logo, and Kinetis are trademarks of Freescale Semiconductor, Inc., Reg. U.S. Pat. & Tm. Off. All other product or service names are the property of their respective owners. ARM and Cortex-M0+ are the registered trademarks of ARM Limited.

© 2012-2014 Freescale Semiconductor, Inc.